ใบรับรองวิทยานิพนธ์

บัณฑิตวิทยาลัย มหาวิทยาลัยเกษตรศาสตร์

วิศวกรรมศาสตรมหาบัณฑิต (วิศวกรรมไฟฟ้า)

ปริญญา

วิศวกรรมไฟฟ้า	วิศวกรรมไฟฟ้า
สาขา	**ภาควิชา**

เรื่อง การพัฒนาต้นแบบระบบสื่อสารไร้สายด้วยเทคนิคสเปคตรัมแผ่แบบ Direct Sequence สำหรับส่งผ่านสัญญาณเสียงด้วย FPGA

A Prototyping of Direct Sequence Spread Spectrum Wireless Communication for Audio Transmission on FPGA

นามผู้วิจัย นายศิริชัย แซ่หว่อง

ได้พิจารณาเห็นชอบโดย

ประธานกรรมการ .....
(รองศาสตราจารย์มงคล รักษาพัชรวงศ์, Ph.D.)

กรรมการ .....
(ผู้ช่วยศาสตราจารย์วัชรี วีรเชนทร์, M.S.)

กรรมการ .....
(ผู้ช่วยศาสตราจารย์ศรีจิตรา มหาประคุณชัย, Ph.D.)

หัวหน้าภาควิชา .....
(อาจารย์ชูเกียรติ การะเกตุ, Ph.D.)

บัณฑิตวิทยาลัย มหาวิทยาลัยเกษตรศาสตร์รับรองแล้ว

.....
(รองศาสตราจารย์วินัย อาจคงหาญ, M.A.)

คณบดีบัณฑิตวิทยาลัย

วันที่ 3 **เดือน** เมษายน **พ.ศ.** 2549

วิทยานิพนธ์

เรื่อง

การพัฒนาต้นแบบระบบสื่อสารไร้สายด้วยเทคนิคสเปคตรัมแผ่แบบ Direct Sequence สำหรับส่งผ่านสัญญาณเสียงด้วย FPGA

A Prototyping of Direct Sequence Spread Spectrum Wireless Communication for Audio Transmission on FPGA

โดย

นายศิริชัย แซ่หว่อง

เสนอ

บัณฑิตวิทยาลัย มหาวิทยาลัยเกษตรศาสตร์
เพื่อความสมบูรณ์แห่งปริญญาวิศวกรรมศาสตรมหาบัณฑิต (วิศวกรรมไฟฟ้า)
พ.ศ. 2549

ISBN 974-16-1409-8

ศิริชัย แซ่หว่อง 2549: การพัฒนาต้นแบบระบบสื่อสารไร้สายด้วยเทคนิคสเปคตรัมแผ่แบบ Direct Sequence สำหรับส่งผ่านสัญญาณเสียงด้วย FPGA ปริญญาวิศวกรรมศาสตรมหาบัณฑิต (วิศวกรรมไฟฟ้า) สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า ประธานกรรมการที่ปรึกษา: รองศาสตราจารย์มงคล รักษาพัชรวงศ์, Ph.D. 43 หน้า
ISBN 974-16-1409-8

งานวิจัยและพัฒนาระบบต้นแบบระบบสื่อสารไร้สายด้วยเทคนิคสเปคตรัมแผ่แบบ Direct Sequence สำหรับส่งผ่านสัญญาณเสียง เป็นการออกแบบบน FPGA โดยพัฒนาส่วนประมวลผลสัญญาณทั้งในเครื่องส่ง และเครื่องรับ สามารถรองรับอัตราข้อมูลได้ถึง 113.7 กิโลบิตต่อวินาที หรือสัญญาณเสียงที่มีอัตราชักตัวอย่าง 11,025 ตัวอย่างต่อวินาที และมีความละเอียด 8 บิตต่อตัวอย่าง เครื่องรับสามารถเข้าจังหวะสัญญาณและถอดรหัสข้อมูลกลับมาได้ สัญญาณเสียงที่สร้างกลับมาในเครื่องรับสามารถรับฟังได้

ศิริชัย แซ่หว่อง
ลายมือชื่อนิสิต

ลายมือชื่อประธานกรรมการ

24 / 3 / 49

Sirichai Saewong 2006: A Prototyping of Direct Sequence Spread Spectrum Wireless Communication for Audio Transmission on FPGA. Master of Engineering (Electrical Engineering), Major Field: Electrical Engineering, Department of Electrical Engineering. Thesis Advisor: Associate Professor Mongkol Raksapatcharawong, Ph.D. 43 pages.
ISBN 974-16-1409-8

This research develops the prototype of wireless communication system using Direct Sequence Spread Spectrum (DS/SS) technique. Main purpose of research is audio signal transmission. The baseband signal processor developed on FPGA and coded in VHDL. The baseband signal processor can support the data rate at 113.7 kbps or the audio sample at 11.025 ksps and 8 bits resolution. The receiver can synchronize the radio frame and decode the symbol and data bit. The clear sound from reconstruction audio signal was listened from loud speaker.

Sirichai Saewong — Student's signature

Mongkol Chung — Thesis Advisor's signature

24 / 3 / 49

กิตติกรรมประกาศ

ข้าพเจ้าขอกราบขอบพระคุณ รองศาสตราจารย์ ดร. มงคล รักษาพัชรวงศ์ ประธานกรรมการที่ปรึกษา ผู้ช่วยศาสตราจารย์ วัชรี วีรคเชนทร์ และ ผู้ช่วยศาสตราจารย์ ดร. ศรีจิตรา มหาประคุณชัย ที่ได้ช่วยเหลือในการวางแผนงานวิจัยในวิทยานิพนธ์ฉบับนี้ ตลอดจนการให้คำปรึกษาแนะนำและตรวจแก้ไขข้อบกพร่องในวิทยานิพนธ์ให้สำเร็จลุล่วงไปด้วยดี

ข้าพเจ้าขอกราบขอบพระคุณ คุณแม่สุรีย์ แซ่ลิ้ม คุณพ่อปิ่น แซ่หว่อง ที่สนับสนุนและให้กำลังใจในการทำวิทยานิพนธ์ฉบับนี้จนสำเร็จลุล่วงไปด้วยดี ขอขอบคุณเพื่อนๆ และน้องๆ ในห้องวิจัย SCORPion ทุกคน และเพื่อนสนิทที่มีส่วนช่วยแนะนำ แก้ไข ให้กำลังใจในการทำวิทยานิพนธ์ฉบับนี้จนสำเร็จลุล่วงไปด้วยดี

สุดท้ายนี้ข้าพเจ้าขอขอบคุณ ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ สำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ (NECTEC) ผู้ให้การสนับสนุนในการทำวิทยานิพนธ์ฉบับนี้ผ่าน “โครงการพัฒนาต้นแบบระบบส่งผ่านสัญญาณเสียงคุณภาพไฮไฟแบบไร้สายด้วยเทคนิคสเปกตรัมแผ่แบบ Direct Sequence” รหัสโครงการ NT-B-22-T4-12-48-05 และหากวิทยานิพนธ์ฉบับนี้มีข้อบกพร่องประการใด ข้าพเจ้ายินดีรับข้อเสนอแนะและขออภัยมา ณ ที่นี้ด้วย

ศิริชัย แซ่หว่อง

มีนาคม 2549

สารบัญ

หน้า

สารบัญ ..... (1)
สารบัญตาราง ..... (2)
สารบัญภาพ ..... (3)
คำนำ 1
วัตถุประสงค์ 2
การตรวจเอกสาร 3
ระบบสื่อสารด้วยเทคนิคสเปคตรัมแผ่แบบ Direct Sequence 3
การเข้าจังหวะสัญญาณ 5
รหัสเทอร์โบ 13
อุปกรณ์และวิธีการ 15
อุปกรณ์ 15
วิธีการ 16
ผลและวิจารณ์ 36
ผลการทดลองบนฮาร์ดแวร์ 36
ทรัพยากรที่ใช้ไปบนวงจรรวม FPGA 40
สรุป 42
เอกสารและสิ่งอ้างอิง 43

สารบัญตาราง

ตารางที่		หน้า
1	ค่าสัมประสิทธิ์ที่จัดระดับค่าแล้วของวงจรกรองแบบเข้าคู่กัน	27
2	ทรัพยากรที่ใช้ไปในส่วนต่าง ๆ ในเครื่องฝั่งส่ง	41
3	ทรัพยากรที่ใช้ไปในส่วนต่าง ๆ ในเครื่องฝั่งรับ	41

สารบัญภาพ

ภาพที่		หน้า
1	โครงสร้างการเข้าถึงหลายผู้ใช้ของระบบสื่อสารไร้สาย ด้วยเทคนิคสเปคตรัมแผ่แบบ Direct Sequence	4
2	ตัวประมาณค่าความถี่ตกค้าง Kay แบบมีค่าน้ำหนัก	7
3	ตัวประมาณค่าความถี่ตกค้าง Meyr แบบมีค่าน้ำหนัก	7
4	ตัวประมาณค่าเฟสตกค้าง	9
5	รูปคลื่น RRC ที่มีสัมประสิทธิ์ม้วนออกต่าง ๆ	10
6	วงจรเข้าจังหวะสัญลักษณ์ (symbol synchronization)	11
7	วงจรติดตามเฟส(Phase tracking)	12
8	โครงสร้างเฟรมข้อมูล	13
9	สมรรถนะของรหัสเทอร์โบ, รหัสแบบเรียงต่อกัน และรหัสคอนโวลูชั่นนอล	14
10	ระบบสื่อสารไร้สายประกอบด้วยฝั่งส่งจำนวน 1 ชุด และฝั่งรับจำนวน 1 ชุด	16
11	โครงสร้างเฟรมของระบบสื่อสารหนึ่งต่อหนึ่ง	16
12	วงจรสร้างรหัส Gold ขนาดยาว 31 ชิป	18
13	โครงสร้างของเครื่องฝั่งส่ง	19
14	การทำงานของวงจรลดจำนวนและความละเอียดของตัวอย่าง และจัดเฟรม	20
15	โครงสร้างวงจรเข้ารหัสเทอร์โบ	21
16	ขั้นตอนการจัดการบิตข้อมูลในการเข้ารหัสเทอร์โบ	21
17	ขั้นตอนการจัดการบิตข้อมูลในการสร้างเฟรมข้อมูลสัญญาณวิทยุ	22
18	โครงสร้างของวงจรสร้างรูปคลื่น	23
19	สัมประสิทธิ์ผลตอบสนองอิมพัลส์จำนวน 88 ค่า	24
20	โครงสร้างเครื่องฝั่งรับ	25
21	วงจรปรับความแรงสัญญาณอัตโนมัติ	26
22	วงจรเข้าจังหวะสัญญาณ	28
23	เฟสของสัญญาณเมื่อผ่านวงจรประมาณค่าความถี่ตกค้าง	29
24	วงจรหาค่าเฟสผิดพลาดขณะปรับค่าเฟสเริ่มต้น	30
25	วงจรหาค่าเฟสผิดพลาดขณะติดตามเฟส	31
26	วงจรคำนวณค่าสหสัมพันธ์จำนวน 4 ค่าต่างตำแหน่งชิป	31

สารบัญภาพ (ต่อ)

ภาพที่		หน้า
27	วงจรคำนวณค่าสหสัมพันธ์แบบเชิงซ้อน	31
28	ตำแหน่งทางเวลาของค่าสหสัมพันธ์ขณะเริ่มต้น	32
29	ตำแหน่งทางเวลาของค่าสหสัมพันธ์หลังจากผ่านไปหลายรหัสสัญลักษณ์	33
30	วงจรลูปฟิลเตอร์ค่าเฟสผิดพลาดที่ใช้โครงสร้างแบบ PI control	33
31	วงจรสะสมค่าเฟส	34
32	วงจรถอดรหัสเทอร์โบ	35
33	ตำแหน่งจุดเริ่มต้นเฟรม	36
34	ตำแหน่งระหว่างการเปลี่ยนจากส่วน pre_1 เป็น pre_2	37
35	ค่าเฟสผิดพลาดที่กำลังลู่เข้าศูนย์	38
36	แผนภาพดวงดาวของค่าเอาต์พุทจากวงจรคำนวณค่าสหสัมพันธ์	39
37	สัญญาณเสียงความถี่ 500 Hz ที่สร้างกลับมาใหม่ที่ฝั่งตัวรับ	40

การพัฒนาต้นแบบระบบสื่อสารไร้สายด้วยเทคนิคสเปคตรัมแผ่แบบ Direct Sequence สำหรับส่งผ่านสัญญาณเสียงด้วย FPGA

A Prototyping of Direct Sequence Spread Spectrum Wireless Communication for Audio Transmission on FPGA

คำนำ

ปัจจุบันการสื่อสารแบบไร้สายได้เข้ามามีบทบาทในชีวิตประจำวัน และถูกนำมาประยุกต์ใช้งานในหลายรูปแบบ เช่น การสื่อสารเสียงผ่านระบบโทรศัพท์ไร้สาย การส่งผ่านข้อมูล การส่งผ่านสัญญาณภาพ และอื่น ๆ อย่างไรก็ดีการสื่อสารเสียงนับเป็นการสื่อสารพื้นฐานที่สำคัญที่สุด และถึงแม้ว่าช่องสัญญาณไร้สายมีแนวโน้มที่จะมีอัตราการส่งผ่านข้อมูลมากขึ้น แต่ข้อดีในจุดนี้ยังไม่ได้ถูกนำมาใช้เพื่อปรับปรุงคุณภาพในการส่งผ่านสัญญาณเสียง ตัวอย่างเช่น ระบบโทรศัพท์ไร้สายยุคที่ 3 (3G) ที่รองรับคุณภาพของเสียงที่ค่อนข้างต่ำ เมื่อเทียบกับระบบโทรศัพท์พื้นฐาน ในขณะเดียวกันการสื่อสารไร้สายที่รองรับสัญญาณเสียงคุณภาพระดับไฮไฟมักใช้เทคนิคการมอดูเลตเชิงความถี่ (FM) ถึงแม้ว่าจะให้สัญญาณเสียงที่มีคุณภาพดี แต่ก็ไม่สามารถรองรับผู้ใช้เป็นจำนวนมากได้พร้อม ๆ กัน ในขณะที่การสื่อสารไร้สายด้วยเทคนิคสเปคตรัมแผ่ เป็นที่ยอมรับกันว่ามีความทนทานต่อสัญญาณรบกวนสูง และยังสามารถรองรับผู้ใช้ได้เป็นจำนวนมากพร้อม ๆ กันอีกด้วย

ด้วยเหตุนี้การพัฒนาระบบสื่อสารไร้สายระยะใกล้ด้วยเทคนิคสเปคตรัมแผ่ เพื่อการส่งผ่านสัญญาณเสียงคุณภาพไฮไฟจึงเป็นหัวข้อที่น่าสนใจ เพราะมีศักยภาพในการนำไปประยุกต์ใช้งานต่าง ๆ ได้หลากหลายรูปแบบ เช่น ระบบไมโครโฟนไร้สาย ระบบเครื่องเสียงภายในบ้านแบบไร้สาย ระบบประชุมไร้สาย และอื่น ๆ ซึ่งเป็นตลาดที่มีมูลค่ารวมสูง และเป็นโอกาสในการเพิ่มศักยภาพในกาแข่งขันด้านเทคโนโลยีในหลาย ๆ ด้านของประเทศไทย เช่น การออกแบบและพัฒนาระบบสื่อสารไร้สายเฉพาะงาน การออกแบบและผลิตวงจรรวมด้านระบบสื่อสาร เป็นต้น

วิทยานิพนธ์นี้เป็นการสร้างระบบสื่อสารไร้สายระยะใกล้โดยนำเทคนิคสเปคตรัมแผ่แบบ Direct Sequence มาช่วยในการเพิ่มความต้านทานต่อสัญญาณรบกวนในช่องสัญญาณสื่อสาร

รวมทั้งความสามารถในการรองรับผู้ใช้หลายคนพร้อมกันในเวลาหนึ่ง ๆ ได้ โดยมีแนวทางในการพัฒนาระบบเพื่อสร้างเป็นต้นแบบด้วยการใช้วงจรรวม FPGA ในส่วนการประมวลผลสัญญาณดิจิตอลเบสแบนด์ทั้งหมด ได้แก่ วงจรเข้าจังหวะสัญญาณ วงจรเข้ารหัสช่องสัญญาณ

วัตถุประสงค์

1. เพื่อพัฒนาต้นแบบระบบการสื่อสารไร้สายระยะใกล้ด้วยเทคนิคสเปคตรัมแผ่แบบ Direct Sequence สำหรับส่งข้อมูลเสียงบนวงจรรวม FPGA

2. เพื่อสร้างระบบการสื่อสารไร้สายที่สามารถรองรับผู้ใช้ได้หลายคนในเวลาเดียวกัน

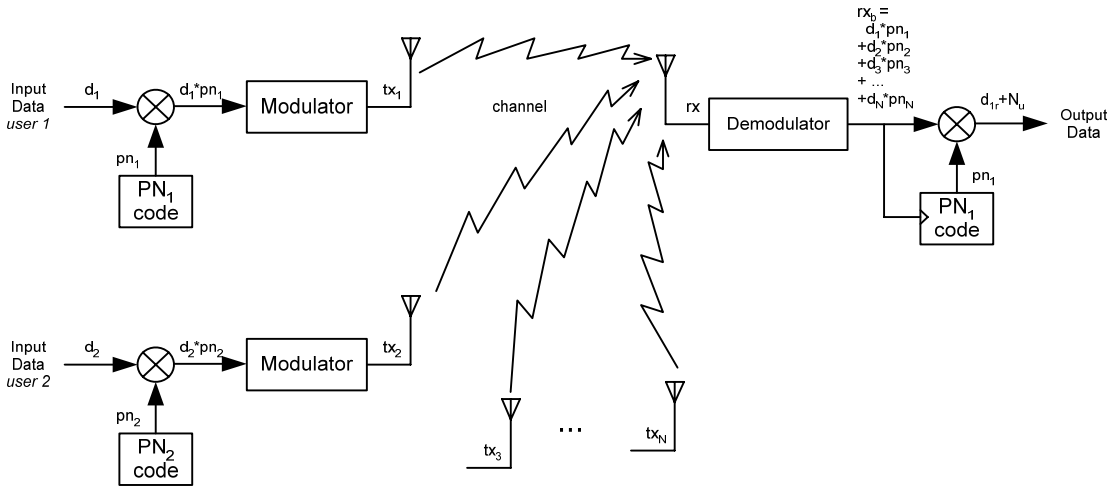
3. เพื่อสร้างพื้นฐานความรู้ของระบบการสื่อสารไร้สาย เช่น การเข้าจังหวะสัญญาณ การตรวจจับสัญญาณ การเข้าและถอดรหัสช่องสัญญาณ เป็นต้น

การตรวจเอกสาร

ระบบสื่อสารด้วยเทคนิคสเปคตรัมแผ่แบบ Direct Sequence

ระบบสเปคตรัมแผ่มีลักษณะพิเศษกว่าระบบอื่น คือการทำให้สเปคตรัมของสัญญาณที่ต้องการส่งมีลักษณะคล้ายสัญญาณรบกวนที่มีความหนาแน่นของสเปคตรัมกำลัง(power spectral density) ต่ำ วิธีการหนึ่งที่ใช้ในการทำให้สัญญาณมีลักษณะคล้ายสัญญาณรบกวนนั้นสามารถทำได้โดยใช้รหัสที่มีอัตราชิป(chip rate) ที่สูงกว่ากว่าอัตราบิทข้อมูล(bit rate) มาคูณเข้ากับสัญญาณที่ต้องการส่ง ซึ่งระบบสื่อสารชนิดนี้มีชื่อว่า Direct Sequence Spread Spectrum(DS/SS) ในการถอดรหัสสัญญาณที่ทำการแผ่นั้นทำได้โดยนำรหัสที่เหมือนกับในฝั่งส่งมาคูณกลับ อย่างไรก็ตามถ้าหากรหัสที่ทำมาคูณกลับนั้นเป็นรหัสที่ไม่ตรงกันกับรหัสที่ใช้ส่ง สัญญาณที่ถอดกลับมาจะมีลักษณะคล้ายสัญญาณรบกวน จากคุณสมบัตินี้จึงมีการนำมาใช้กับการสื่อสารที่ต้องการความปลอดภัยของข้อมูลสูง เช่น ระบบสื่อสารทางการทหาร เป็นต้น

การเข้าถึงหลายผู้ใช้(multiple access) สำหรับระบบสื่อสารด้วยเทคนิคสเปคตรัมแผ่แบบ Direct Sequence ดังแสดงในภาพที่ 1 ได้มีการนำไปใช้กับระบบโทรศัพท์ไร้สายยุคที่ 2 เช่น IS-95 และยุคที่ 3 เช่น CDMA2000 และ W-CDMA โดยใช้รหัสในการแยกแยะผู้ใช้ ดังนั้นผู้ใช้ทั้งหมดสามารถส่งข้อมูลได้ในเวลาเดียวกัน แม้ว่าจะใช้สเปคตรัมทางความถี่เดียวกันก็ตาม ผู้ใช้สามารถใช้งานได้เต็มเวลาและเต็มแบนด์วิดธ์ที่มีในช่องสัญญาณแต่คุณภาพของการสื่อสารจะแย่ลงตามการเพิ่มขึ้นของจำนวนผู้ใช้ ซึ่งจากที่กล่าวมาแล้วว่าข้อมูลที่ส่งในระบบสื่อสารด้วยเทคนิคสเปคตรัมแผ่แบบ Direct Sequence นั้นจะถูกทำให้มีสเปคตรัมของสัญญาณคล้ายสัญญาณรบกวน ดังนั้นถ้าหากพิจารณาที่มุมมองของผู้ใช้คนหนึ่งในระบบก็จะพบว่าสัญญาณของผู้ใช้คนอื่นๆ เป็นสัญญาณรบกวน เมื่อผู้ใช้เพิ่มขึ้นสัญญาณรบกวนก็ต้องเพิ่มขึ้นตามไปด้วย



ภาพที่ 1 โครงสร้างการเข้าถึงหลายผู้ใช้ของระบบสื่อสารไร้สายด้วยเทคนิคสเปคตรัมแผ่แบบ Direct Sequence

การเข้าจังหวะสัญญาณ

การสื่อสารทุกชนิดจะสัมฤทธิ์ผลได้ก็ต่อเมื่อผู้รับสามารถเข้าใจถึงข้อมูลที่รับเข้ามา ในการตัดสินใจว่าข้อมูลที่รับมานั้นคืออะไรสิ่งหนึ่งที่ขาดไม่ได้คือการเข้าจังหวะสัญญาณ (Synchronization) ถ้าหากผู้รับไม่สามารถเข้าจังหวะกับผู้ส่งได้ ผู้รับจะไม่สามารถแยกแยะได้ว่าจุดเริ่มต้นและจุดสิ้นสุดของข้อมูลนั้นอยู่ที่ใด และไม่สามารถรู้ได้ว่า ณ จุดนี้คือข้อมูลหรือไม่ใช่ข้อมูลเช่นกัน ทำให้การแปลความหมายผิดพลาดไป ดังนั้นระบบสื่อสารทุกชนิดจำเป็นต้องมีการเข้าจังหวะสัญญาณระหว่างตัวรับและตัวส่งก่อนทำการส่งข้อมูลทุกครั้ง

ความถี่ตกค้าง(Frequency offset)

อัลกอริทึมการประมาณค่าความถี่จากข้อมูลทางเวลา(timing information) โดยสมการความคล้ายคลึงสูงสุด(maximum likelihood equations) ที่นิยมมีสองแบบ ซึ่งความแตกต่างของอัลกอริทึมทั้งสองแบบนี้อยู่ที่มุมของ r_n ถูกแก้สมการออกมาก่อนทำอัลกอริทึม ML หรือเปล่า ถ้ามุมถูกแก้ออกมาก่อนตัวประมาณค่านี้เรียกว่าตัวประมาณค่า Kay (Tavares, 2001)

$$\hat{\Omega} = \sum_{n=1}^{L-1} b_n \arg\left\{ r_n r_{n-1}^{*} \right\}$$

ในขณะที่ถ้ามุมถูกแก้สมการออกมาที่หลังตัวประมาณค่านี้เรียกว่าตัวประมาณค่า Meyr (Meyr, 1998)

$$\hat{\Omega} = \arg\left\{ \sum_{n=1}^{L-1} b_n (r_n r_{n-1}^{*}) \right\}$$

ในสมการทั้งสองนี้มีค่า b_n เป็นฟังค์ชันค่าน้ำหนัก(weighting) ของค่าผลต่างของเฟสระหว่างตัวอย่างโดยมีสมการเป็น

$$b_n = \frac{6n(L-n)}{L(L^2-1)}$$

อัลกอริทึมทั้งคู่นี้มีข้อจำกัดคือค่าความถี่ตกค้างปกติ(normalized frequency offset) มีค่า $|\Omega| < \pi$ ฟังค์ชันค่าน้ำหนักสามารถใช้รูปแบบอื่นได้ อย่างไรก็ตามทางปฏิบัตินิยมใช้การคำนวณแบบค่าเฉลี่ยแบบสม่ำเสมอโดยค่า $b_n = \frac{1}{L}$

สำหรับช่องสัญญาณแบบจางสม่ำเสมอทุกความถี่(flat fading) ค่าความแปรปรวนของผลการประมาณความถี่ของตัวประมาณค่า Meyr แบบมีค่าน้ำหนัก

$$Var\left[\hat{\Omega}_{Mw}\right] = \frac{12}{L(L^2-1)}\frac{1}{2E_s/N_o} + \frac{12}{5}\frac{1}{L}\frac{L^2+1}{L^2-1}\frac{1}{(2E_s/N_o)^2}$$

ค่าความแปรปรวนของผลการประมาณความถี่ของตัวประมาณค่า Meyr แบบไม่มีค่าน้ำหนัก

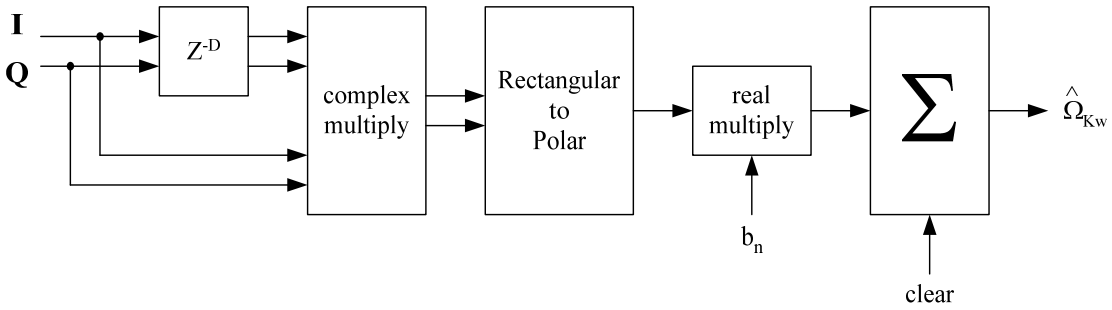
$$Var\left[\hat{\Omega}_{Mu}\right] = \frac{1}{L^2}\frac{1}{2E_s/N_o} + \frac{1}{L}\frac{2}{(2E_s/N_o)^2}$$

แต่ในทางปฏิบัติมันสามารถนำมาใช้งานในช่องสัญญาณแบบจางเฉพาะบางความถี่ (frequency selective fading) ได้ด้วย

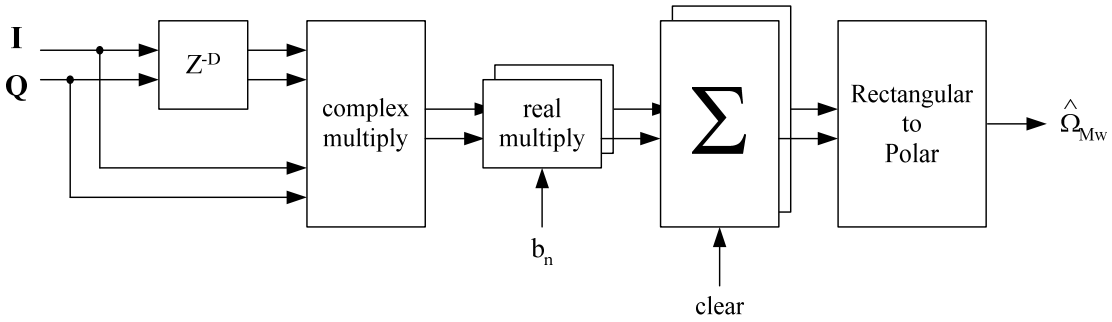
การปรับปรุงเวลาลู่เข้าให้น้อยลงทำได้โดยการแก้ไขอัลกอริทึมด้วยการแทนที่ค่า $(r_n r_{n-1}^*)$ ด้วยค่า $(r_n r_{n-D}^*)$ ค่าความแปรปรวนที่ได้จากตัวประมาณค่าจะดีขึ้นประมาณ D^2 เท่า โดยสำหรับตัวประมาณค่า Meyr แบบไม่มีค่าน้ำหนัก มีค่าความแปรปรวน

$$Var\left[\hat{\Omega}_{Mu}\right] = \frac{1}{D^2}\left(\frac{D}{L^2}\frac{2}{2E_s/N_o} + \frac{1}{L}\frac{2}{(2E_s/N_o)^2}\right)$$

แต่อย่างไรก็ตามอัลกอริทึมนี้ทำให้ค่าความถี่ตกค้างปกติลดลงเหลือ $|\Omega D| < \pi$ ในทางปฏิบัติระบบส่วนใหญ่จะใช้ค่า $D > 1$



ภาพที่ 2 ตัวประมาณค่าความถี่ตกค้าง Kay แบบมีค่าน้ำหนัก



ภาพที่ 3 ตัวประมาณค่าความถี่ตกค้าง Meyr แบบมีค่าน้ำหนัก

การแทนสัมประสิทธิ์ b_n ด้วยสัมประสิทธิ์กรองความถี่ในการหาค่าเฉลี่ยนั้นต้องเพิ่มความซับซ้อนให้กับวงจรโดยได้รับผลดีเพิ่มขึ้นเพียงเล็กน้อยเท่านั้น (Classen, 1993) และ (Morlet, 1998) ซึ่งนั่นเป็นผลให้โดยทั่วไปนิยมใช้สัมประสิทธิ์ $b_n = \frac{1}{L}$ หรือ การหาค่าเฉลี่ยอย่างง่าย

ความผิดพลาดของเฟส(Phase error)

การประมาณค่าเฟสผิดพลาดจำเป็นต้องเข้าจังหวะรหัสสัญลักษณ์ให้เสร็จสิ้นก่อน และไม่มีผลของความถี่ตกค้างเหลืออยู่ ขั้นตอนการประมาณค่าเฟสสำหรับสัญญาณแบบ QPSK แบ่งเป็น 3 ขั้นตอน คือ

1. **การกำจัดมอดูเลตออกจากสัญญาณ(modulation removal)**

กำหนดให้สัญญาณที่ได้รับในเวลาขณะหนึ่งของสัญญาณแบบ QPSK คือ

$$r = Ae^{j\left[\frac{\pi(2n+1)}{4}+\phi_e\right]}$$

โดยค่า A คือขนาดของสัญญาณเชิงซ้อน, n คือ ค่าข้อมูล และ ϕ_e คือค่าเฟสผิดพลาด การกำจัดมอดูเลตออกจากสัญญาณที่รับเข้ามาเป็นการดึงเข้าส่วนของข้อมูลออกไปจากสัญญาณแบบ QPSK โดยทำการยกกำลังค่าสัญญาณด้วยกำลัง 4 (ตามค่า M ของ M-ary PSK) ซึ่งจะได้ค่าสัญญาณเป็น

$$\begin{aligned} r^4 &= A^4 e^{j[\pi(2n+1)+4\phi]} \\ &= A^4 e^{j[\pi+4\phi]} \end{aligned}$$

จะเห็นว่าค่าเฟสของข้อมูลถูกกำจัดให้เหลืออยู่ในรูปของ π ในขณะที่ค่าเฟสตกค้างเพิ่มขึ้นเป็น 4 เท่า

2. **หาค่าเฉลี่ยเพื่อเพิ่มความถูกต้องของค่าเฟสตกค้างที่ทำการประมาณ**

เนื่องจากสัญญาณที่ผ่านช่องสัญญาณที่มีสัญญาณรบกวนทำให้สัญญาณมีการแปรปรวนเปลี่ยนแปลงตลอดเวลาดังนั้นเพื่อเพิ่มความถูกต้องของค่าเฟสตกค้างที่ประมาณขึ้นมาจึงต้องทำการหาค่าเฉลี่ยค่าที่ได้จากข้อ 1

$$R = \sum_{i=1}^{N} r_i^{\,4}$$

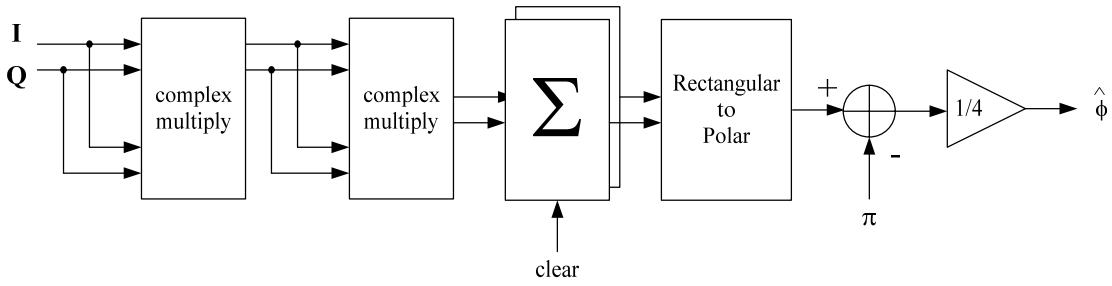
3. **ประมาณค่าเฟส**

หลังจากเฉลี่ยค่าสัญญาณแล้ว ค่าเฟสที่ประมาณได้จากการหาค่ามุมของ R และปรับแก้เฟสด้วยการลบค่า π แล้วปรับโดเมนให้ลดลงมาจาก $[-4\pi,4\pi]$ เหลือ $[-\pi,\pi]$

$$\hat{\phi}_e = \frac{1}{4}\left[\arg(R) - \pi\right]$$

สำหรับการประมาณค่าเฟสแบบแก้ไขในช่วงขณะใดขณะหนึ่งจะใช้ค่า N = 1 ดังแสดงในภาพที่ 4

$$\hat{\phi}_e = \frac{1}{4}\left[\arg(r^4) - \pi\right]$$



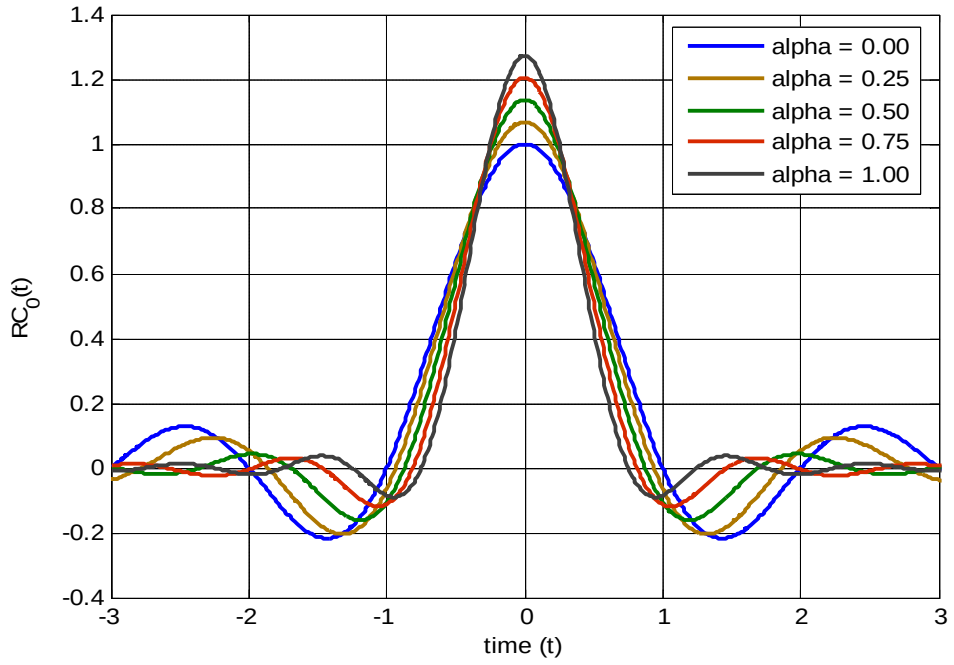
<u>ภาพที่ 4</u> ตัวประมาณค่าเฟสตกค้าง

การเข้าจังหวะสัญลักษณ์(Symbol Synchronization)

รูปคลื่นรหัสสัญลักษณ์(Pulse shaping)

รหัสสัญลักษณ์ที่สร้างได้นั้นยังไม่พร้อมที่จะนำส่งออกช่องสัญญาณจำเป็นต้องมีการแทนรหัสสัญลักษณ์ด้วยรูปคลื่นสัญญาณที่เหมาะสมกับช่องสัญญาณนั้นก่อน สำหรับช่องสัญญาณไร้สายนั้นรูปคลื่นที่นิยมใช้แทนรหัสสัญลักษณ์ คือ รูปคลื่น square root raise cosine (RRC) เนื่องจากสามารถสร้างวงจรกรองแบบเข้าคู่กัน(matched filter) ที่ฝั่งตัวรับได้ ซึ่งทำให้สัญญาณที่ออกจากวงจรกรองนี้มีการรบกวนกันระหว่างรหัสสัญลักษณ์ (Inter-symbol interference, ISI) ต่ำมาก สมการของรูปคลื่น RRC คือ

$$RC(t) = \frac{\sin\left(\pi \frac{t}{T_c}(1-\alpha)\right) + 4\alpha \frac{t}{T_c}\cos\left(\pi \frac{t}{T_c}(1+\alpha)\right)}{\pi \frac{t}{\sqrt{T_c}}\left(1-\left(4\alpha \frac{t}{T_c}\right)^2\right)}$$

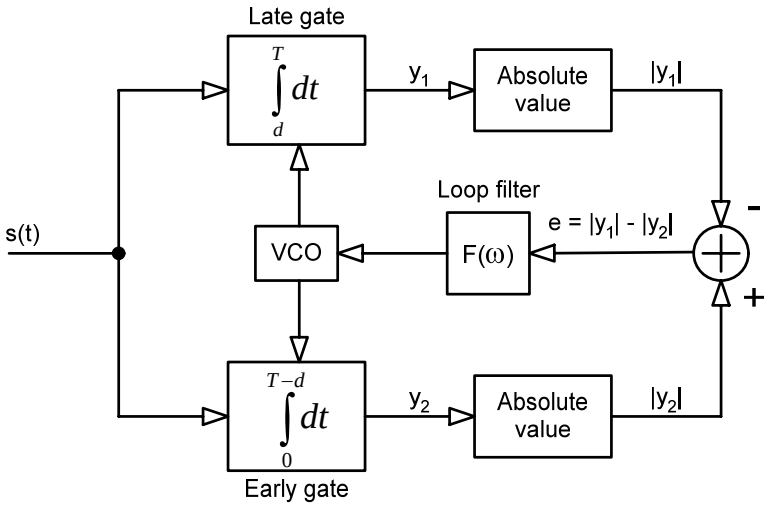


ภาพที่ 5 รูปคลื่น RRC ที่มีสัมประสิทธิ์ม้วนออกต่าง ๆ

โดย T_c คือคาบเวลาของรหัสสัญลักษณ์, α คือสัมประสิทธิ์ม้วนออก(roll-off factor) วงจรที่ใช้สร้างรูปคลื่นสามารถใช้วงจรกรองแบบผลตอบสนองอิมพัลส์แบบจำกัด(FIR) ได้

วงจรเข้าจังหวะรหัสสัญลักษณ์แบบเปรียบเทียบข้อมูลก่อน/หลัง(Early/late-gate data synchronizer)

เป็นวงจรเข้าจังหวะแบบวงปิด (Closed-loop) มีลักษณะวงจรแสดงดังภาพที่ 6 สัญญาณที่เข้ามาในวงจรจะถูกแยกเป็นสองส่วนโดยผ่านวงจรอินทิเกรตบนช่วงเวลา (T-d) วินาทีที่ต่างกัน โดยวงจรอินทิเกรตตัวแรกเรียกว่าเกตข้อมูลก่อน(early gate) ทำงานในช่วงเวลาตั้งแต่ 0 ถึง T-d บนคาบเวลาสัญลักษณ์ และวงจรอินทิเกรตตัวที่สองเรียกว่าเกตข้อมูลหลัง(late gate) ทำงานในช่วงเวลาตั้งแต่ d ถึง T บนคาบเวลาสัญลักษณ์ โดยที่ค่า T คือคาบเวลาสัญลักษณ์ ผลต่างของค่าสัมบูรณ์จากวงจรอินทิเกรตเป็นค่าความผิดพลาดทางเวลาของสัญลักษณ์ซึ่งถูกนำมาป้อนกลับให้กับวงจรสร้างฐานเวลาสัญลักษณ์เพื่อปรับแก้ฐานเวลาสัญลักษณ์ใหม่อีกครั้ง

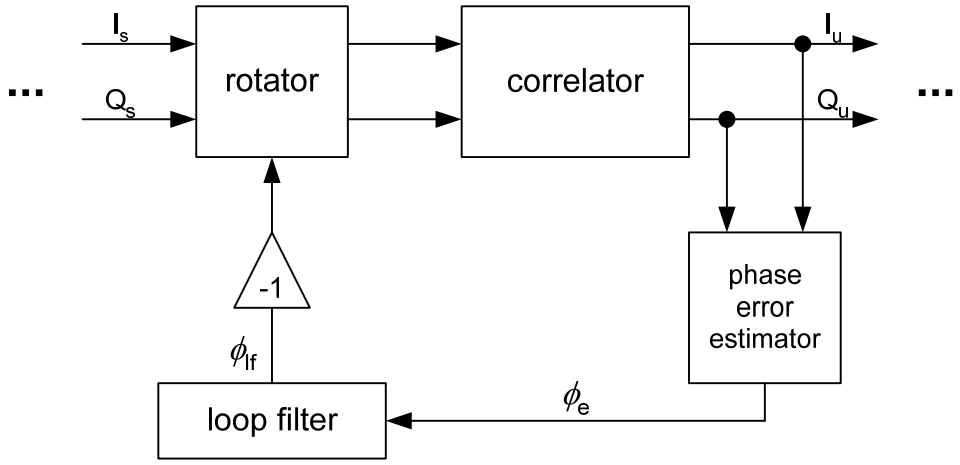


ภาพที่ 6 วงจรเข้าจังหวะสัญลักษณ์ (symbol synchronization)

<u>การติดตามเฟส(Phase tracking)</u>

ระหว่างการรับข้อมูลของฝั่งรับนั้นเฟสของสัญญาณอาจเกิดการเปลี่ยนแปลงไปได้จากหลายสาเหตุเช่น ความถี่ตกค้างที่ยังหลงเหลืออยู่เพียงเล็กน้อย หรือ ความไม่เหมือนกันโดยสมบูรณ์ของแหล่งกำเนิดความถี่ของฝั่งส่งและฝั่งรับ เป็นต้น เป็นผลให้เฟสของสัญญาณมีการเคลื่อนเฟสไปอย่างช้า ๆ หากไม่มีการติดตามการเคลื่อนของเฟสจะเป็นผลให้ในระยะยาวเมื่อค่าเฟสเปลี่ยนแปลงถึงจุดหนึ่งแล้วทำให้การตัดสินใจ(decision) ข้อมูลกลับมาผิดพลาดได้

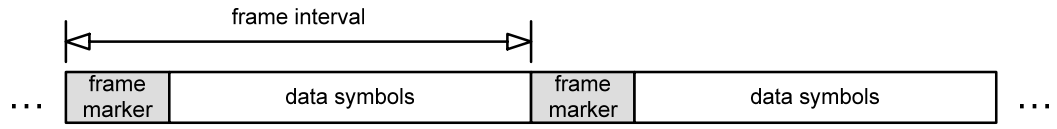
วงจรติดตามเฟสส่วนใหญ่นิยมใช้การควบคุมแบบป้อนกลับ ในภาพที่ 7 เป็นวงจรติดตามเฟสที่ใช้ระบบสื่อสารที่ใช้เทคนิคสเปคตรัมแผ่แบบ DS/SS การทำงานของวงจรจำเป็นต้องเรียนรู้ค่าเฟสในขณะเริ่มต้นก่อนเสมอ สัญญาณ Is และ Qs จะถูกหมุนเฟสด้วยวงจรหมุนเฟส(rotator) เป็นมุม $-\phi_{lf}$ หลังจากนั้นตัวอย่างสัญญาณจำนวนหนึ่งจะถูกนำมาคำนวณค่าสหสัมพันธ์ได้เป็นสัญญาณ Iu และ Qu ตามลำดับ และจึงถูกนำมาประมาณค่าเฟสผิดพลาดได้เป็นค่า ϕ_e ก่อนส่งไปยังวงจรกรองวงรอบ(loop filter) ซึ่งเป็นส่วนควบคุมสัญญาณสำหรับป้อนกลับไปยังวงจรหมุนเฟส วงจรจะทำงานในลักษณะป้อนกลับต่อเนื่องไปเรื่อย ๆ เนื่องจากลักษณะของวงจรโดยส่วนใหญ่จะมีคุณลักษณะตายตัว ส่วนที่เป็นตัวแปรสำคัญที่มีผลกับคุณลักษณะของวงจรป้อนกลับนี้คือวงจรกรองวงรอบ โดยทั่วไปนิยมใช้การควบคุมแบบพีไอ (PI control)



<u>ภาพที่ 7</u> วงจรติดตามเฟส(Phase tracking)

การเข้าจังหวะเฟรม(Frame synchronization)

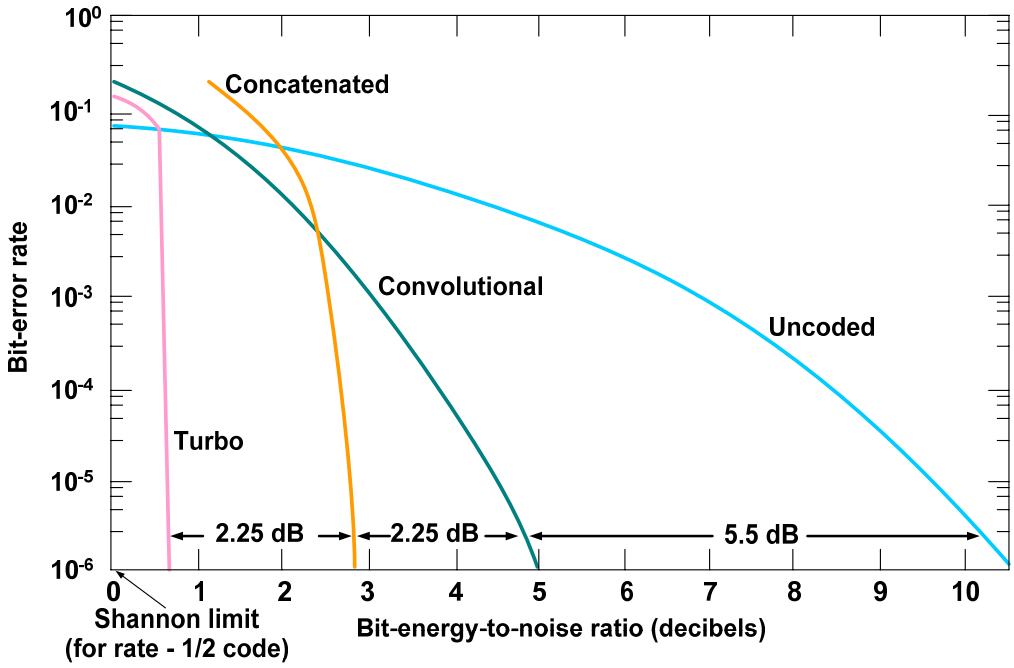
การเข้าจังหวะเฟรมเป็นการใช้ลำดับสัญลักษณ์พิเศษ(symbol sequence) ที่ถูกกำหนดขึ้นมาช่วยในการหาตำแหน่งเริ่มต้นและสิ้นสุดของเฟรมข้อมูล สัญญาณที่ฝั่งรับรับเข้ามาจะถูกนำมาเทียบเคียง(correlate) กับลำดับสัญลักษณ์ที่เป็นที่รู้กันระหว่างฝั่งส่งและฝั่งรับ เมื่อจังหวะเวลาของลำดับสัญลักษณ์ตรงกันผลการสะสมความสัมพันธ์(accumulated correlation) จะให้ค่ามีสูงมาก โครงสร้างเฟรมข้อมูลอย่างง่ายแสดงในภาพที่ 8 โดยมีเครื่องหมายเริ่มเฟรม(frame marker) เป็นลำดับสัญลักษณ์สำหรับการเข้าจังหวะเฟรม



ภาพที่ 8 โครงสร้างเฟรมข้อมูล

รหัสเทอร์โบ

เมื่อสัญญาณผ่านช่องสัญญาณที่มีสัญญาณรบกวนมักทำให้สัญญาณที่ฝั่งรับรับได้นั้นมีค่าผิดพลาดไปจากที่ฝั่งส่งส่งออกมา การที่จะทำให้ฝั่งรับแปลความหมายข้อมูลที่ส่งมาได้ถูกต้องนั้นจำเป็นต้องมีวิธีการบางอย่างที่ลดความผิดพลาดของการตัดสินใจข้อมูลของฝั่งรับ การเข้ารหัสช่องสัญญาณ(channel coding) เป็นวิธีการหนึ่งที่ช่วยในการแก้ไขความผิดพลาดที่เกิดขึ้นให้ดีขึ้นโดยมีการเพิ่มข้อมูลบางส่วน(redundancy) เข้าไปในข้อมูลที่ส่งออกมา ช่วยให้ฝั่งรับสามารถตัดสินข้อมูลที่รับได้ถูกต้องมากขึ้น อย่างไรก็ตามวิธีการเข้ารหัสช่องสัญญาณมีอยู่มากมายซึ่งแต่ละวิธีมีความเหมาะสมกับงานเฉพาะแตกต่างกันไป ระบบสื่อสารไร้สายในวิทยานิพนธ์นี้มีแนวทางพัฒนามาจากระบบโทรศัพท์ไร้สายยุคที่ 3 ซึ่งมีการใช้รหัสคอนโวลูชั่นนอล และรหัสเทอร์โบในการเข้ารหัสช่องสัญญาณ โดยเลือกรหัสเทอร์โบเป็นแนวทางในการพัฒนา เนื่องจากผลการทดสอบรหัสเทอร์โบนั้นให้ประสิทธิภาพในแง่ของอัตราบิทผิดพลาด(bit error rate) ที่ต่ำมากและมีค่าใกล้เคียงกับค่าทางทฤษฎีของแชนนอล(Shannol) มาก ดังแสดงในภาพที่ 9 สำหรับอัตรารหัส(rate) เท่ากับ 1/2 จะเห็นว่าที่อัตราบิทผิดพลาด 10^{-6} รหัสเทอร์โบให้อัตรากำลังของรหัส(coding gain) มากกว่ารหัสแบบเรียงต่อกัน(concatenated) อยู่ประมาณ 2.25 dB และมากกว่ารหัสแบบคอนโวลูชั่นนอลอยู่ประมาณ 4.50 dB



ภาพที่ 9 สมรรถนะของรหัสเทอร์โบ, รหัสแบบเรียงต่อกัน และรหัสคอนโวลูชั่นนอล

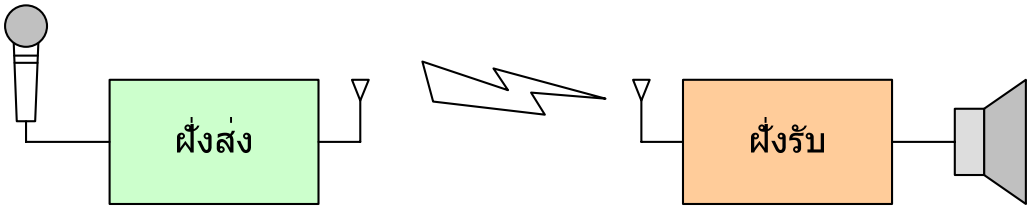
อุปกรณ์และวิธีการ

อุปกรณ์

1. เครื่องคอมพิวเตอร์ส่วนบุคคล 1 เครื่อง: ซีพียู AMD Athlon 64-bit 3000+, 2.0 GHz., หน่วยความจำขนาด 1GB, ฮาร์ดดิสก์ 80 GB.
2. แผงวงจรพัฒนาวงจรรวม FPGA ตระกูล Virtex-4 รุ่น 4vlx25sf363-11 ของบริษัท Xilinx จำนวน 2 ชุด
3. แผงวงจรแปลงสัญญาณซึ่งประกอบด้วยชิปแปลงสัญญาณดิจิตอลเป็นแอนาล็อก DAC2932, ชิปแปลงสัญญาณแอนาล็อกเป็นดิจิตอล ADS5204 และชิปแปลงสัญญาณเสียง TLV320AIC23B ของบริษัท Texas Instrument จำนวน 2 ชุด
4. แผงวงจรภาคสัญญาณวิทยุสำเร็จรูปจำนวน 2 ชุด
5. ซอฟต์แวร์ Xilinx ISE 7.1i สำหรับพัฒนาวงจรบนวงจรรวม FPGA ด้วยภาษา VHDL
6. ซอฟต์แวร์ ModelSim SE 6.0 สำหรับจำลองสถานการณ์การทำงานของวงจรที่พัฒนาด้วยภาษา VHDL
7. ซอฟต์แวร์ MATLAB 7.0 สำหรับจำลองผลทางคณิตศาสตร์
8. ซอฟต์แวร์ ChipScope Pro 7.1i สำหรับจับสัญญาณดิจิตอลภายในวงจรรวม FPGA ของบริษัท Xilinx
9. เครื่องมือวัดผล Oscilloscope, Logic Analyzer และ Spectrum Analyzer

วิธีการ

ระบบสื่อสารที่นำเสนอนี้เป็นระบบสื่อสารไร้สายแบบทางเดียวประกอบด้วยฝั่งส่งทำหน้าที่ส่งสัญญาณวิทยุ 1 ชุด และฝั่งรับทำหน้าที่รับสัญญาณวิทยุ 1 ชุด ดังแสดงในภาพที่ 10 ฝั่งส่งประกอบด้วยไมโครโฟน ชุดวงจรเข้ารหัสข้อมูล และภาคส่งสัญญาณวิทยุ ฝั่งรับประกอบด้วยลำโพง ชุดวงจรถอดรหัสข้อมูลและภาครับสัญญาณวิทยุ

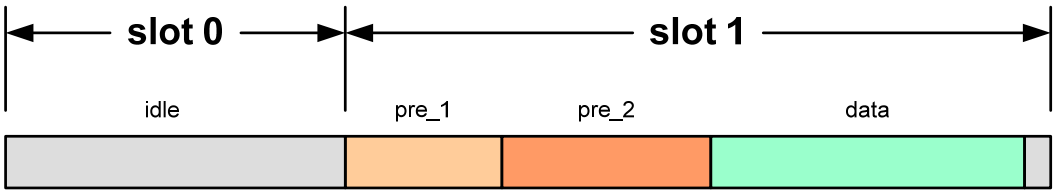


ภาพที่ 10 ระบบสื่อสารไร้สายประกอบด้วยฝั่งส่งจำนวน 1 ชุด และฝั่งรับจำนวน 1 ชุด

โครงสร้างเฟรมข้อมูล

เฟรมข้อมูลเสียง(audio frame) มีคาบเวลา 20 มิลลิวินาที เป็นเฟรมข้อมูลขนาด 2,274 บิต ถูกสร้างโดยวงจรจัดเฟรมข้อมูลเสียง มีตัวอย่างสัญญาณเสียงที่รับจากวงจรแปลงสัญญาณเสียงเป็นข้อมูลดิจิตอลเป็นข้อมูลอินพุท เฟรมข้อมูลที่สร้างได้นี้จะถูกส่งให้แก่วงจรเข้ารหัสเทอร์โบก่อนถูกนำมาตัดแบ่งเป็นเฟรมข้อมูลสัญญาณวิทยุต่อไป

เฟรมสัญญาณวิทยุ(radio frame) มีคาบเวลา 10 มิลลิวินาที เป็นเฟรมข้อมูลที่ถูกนำมาใช้ส่งผ่านสัญญาณวิทยุโดยมีการแทรกส่วนพรีแอมเบิล(preamble) เข้าไปเพื่อให้ภาครับสามารถเข้าจังหวะกับภาคส่งได้



ภาพที่ 11 โครงสร้างเฟรมของระบบสื่อสารหนึ่งต่อหนึ่ง

1. **ส่วน Slot 0** เป็นสล็อตเปล่า (2,000 ชิป)

2. **ส่วน Slot 1** เป็นสล็อตที่ส่งโดยฝั่งส่ง (38,000 ชิป)

    1.1. **ส่วน preamble** (จำนวน 2,622 ชิป)

        1.1.1. ส่วนคำนวณความถี่ตกค้างและส่วนบ่งบอกจุดเริ่มต้นข้อมูลที่ถูกแผ่สเปคตรัม (จำนวน 916 ชิป ในส่วน pre_1)

        1.1.2. ส่วนปรับแก้เฟสผิดพลาดเริ่มต้นและส่วนบ่งบอกหมายเลขเฟรมสัญญาณวิทยุ (จำนวน 46×31 ชิป ในส่วน pre_2)

    1.2. **ส่วน data** ใช้นำส่งข้อมูลที่ถูกตัดแบ่งจากเฟรมข้อมูลเสียง (จำนวน 1,140×31 ชิป)

    1.3. **ส่วน gap** เป็นส่วนที่ไม่มีการส่งสัญญาณ (38 ชิป)

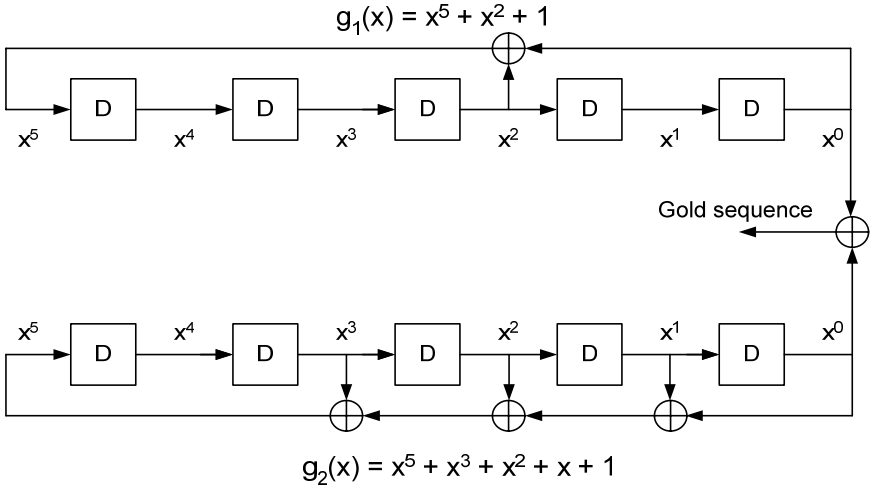
ในการประกอบเฟรมสัญญาณวิทยุกลับมาเป็นเฟรมข้อมูลเสียงจำเป็นต้องเรียงเฟรมสัญญาณวิทยุให้ถูกต้องดังนั้นในการส่งจึงมีการกำกับหมายเลขเฟรมสัญญาณวิทยุได้แก่ หมายเลข 0 และหมายเลข 1 เฟรมสัญญาณวิทยุหมายเลข 0 เป็นส่วนของต้นเฟรมของเฟรมข้อมูลเสียง ในขณะที่เฟรมสัญญาณวิทยุหมายเลข 1 เป็นส่วนท้ายของเฟรมข้อมูลเสียง

<u>รหัสแผ่สเปคตรัม</u>

รหัสแผ่สเปคตรัมที่นำมาใช้ในวิทยานิพนธ์นี้เป็นรหัสโกลด์(Gold code) ความยาว 31 ชิป ภาพที่ 12 แสดงวงจรสร้างรหัสโกลด์ โดยใช้วงจรสร้าง m-sequence สองชุดต่อกันโดยแต่ละวงจรใช้พหุนามดังนี้

$$g_1(x) = x^5 + x^2 + 1$$

$$g_2(x) = x^5 + x^3 + x^2 + x + 1$$



<u>ภาพที่ 12</u> วงจรสร้างรหัส Gold ขนาดยาว 31 ชิป

วงจรสร้างรหัสนี้สามารถสร้างรหัสออกมาได้ถึง 33 รหัสที่มีลำดับแตกต่างกัน โดยเงื่อนไขในการสร้างรหัสต่าง ๆ มีดังนี้

รหัสหมายเลข 0 สร้างโดยให้ค่าเริ่มต้นแก่วงจรบนเป็น (1 0 0 0 0) และวงจรล่างเป็น (0 0 0 0 0) (M-sequence)

รหัสหมายเลข 1 สร้างโดยให้ค่าเริ่มต้นแก่วงจรบนเป็น (0 0 0 0 0) และวงจรล่างเป็น (1 1 1 1 1) (M-sequence)

รหัสหมายเลข 2 สร้างโดยให้ค่าเริ่มต้นแก่วงจรบนเป็น (1 0 0 0 0) และวงจรล่างเป็น (1 1 1 1 1)

รหัสหมายเลข 3 สร้างโดยให้ค่าเริ่มต้นแก่วงจรบนเป็น (0 1 0 0 0) และวงจรล่างเป็น (1 1 1 1 1)

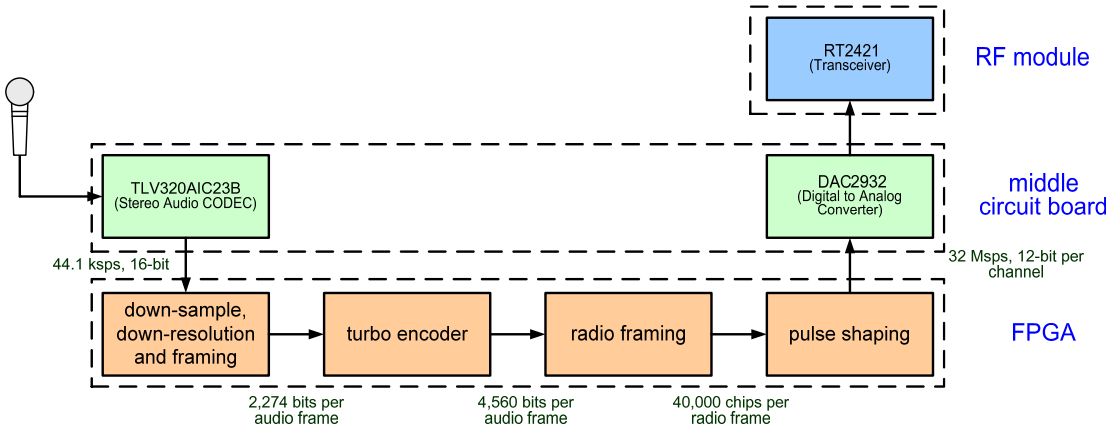
… … … …

รหัสหมายเลข 31 สร้างโดยให้ค่าเริ่มต้นแก่วงจรบนเป็น (0 1 1 1 1) และวงจรล่างเป็น (1 1 1 1 1)

รหัสหมายเลข 32 สร้างโดยให้ค่าเริ่มต้นแก่วงจรบนเป็น (1 1 1 1 1) และวงจรล่างเป็น (1 1 1 1 1)

โครงสร้างเครื่องส่ง

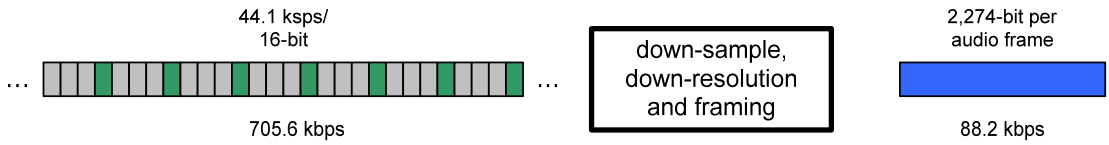
ชุดแผงวงจรของเครื่องฝั่งส่งประกอบด้วยแผงวงจร 3 ส่วน คือ แผงวงจรพัฒนาวงจรรวม FPGA, แผงวงจรแปลงสัญญาณซึ่งอยู่ตรงกลาง และแผงวงจรภาคสัญญาณวิทยุ ส่วนประมวลสัญญาณเบสแบนด์จะถูกโปรแกรมลงบนวงจรรวม FPGA ซึ่งอยู่ในแผงวงจรล่างสุด โดยมีส่วนของวงจรใหญ่ ๆ ภายในจำนวน 4 วงจร ดังแสดงในภาพที่ 13 ในแผงวงจรกลางซึ่งเป็นวงจรแปลงสัญญาณนั้นจะมีวงจรรวมที่ถูกนำมาใช้งานอยู่สองตัว คือ วงจรแปลงสัญญาณเสียง TLV320AIC23B และวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนาล็อก DAC2932 ส่วนแผงวงจรที่อยู่ชั้นบนสุดซึ่งเป็นส่วนของภาคสัญญาณวิทยุนั้นจะถูกตั้งค่าให้ทำงานในโหมดส่งสัญญาณวิทยุเท่านั้น



ภาพที่ 13 โครงสร้างของเครื่องฝั่งส่ง

วงจรลดจำนวนและความละเอียดของตัวอย่าง และจัดเฟรม(down-sample, down-resolution and framing)

ระบบประมวลผลสัญญาณเบสแบนด์ที่ออกแบบขึ้นสามารถรองข้อมูลได้ในอัตรา 2,274 บิตต่อ 20 มิลลิวินาที หรือ 113.7 กิโลบิตต่อวินาที ซึ่งรองรับระบบการบีบอัดข้อมูลเสียง(audio compression) ที่ให้อัตราบิตข้อมูลไม่เกิน 113.7 กิโลบิตต่อวินาที แต่อย่างไรก็ตามการทดสอบระบบประมวลผลสัญญาณเบสแบนด์และระบบบีบอัดข้อมูลเสียงสามารถแยกกันทดสอบได้ เพื่อให้จุดเชื่อม(Interface) ต่อระหว่างระบบประมวลผลสัญญาณเบสแบนด์และระบบบีบอัดข้อมูลเสียงยังคงเดิมจึงได้เพิ่มวงจรลดจำนวนและความละเอียดของตัวอย่างและจัดเฟรม เพื่อปรับอัตราบิตข้อมูลที่รับจากวงจรรวมแปลงสัญญาณเสียง TLV320AIC23B ขนาด 44.1 กิโลตัวอย่างต่อวินาที และมีความละเอียดของตัวอย่าง 16 บิต หรือมีอัตราบิตประมาณ 705.6 กิโลบิตต่อวินาที ให้เหลืออัตราบิตเพียง 88.2 กิโลบิตต่อวินาที ดังแสดงในภาพที่ 14

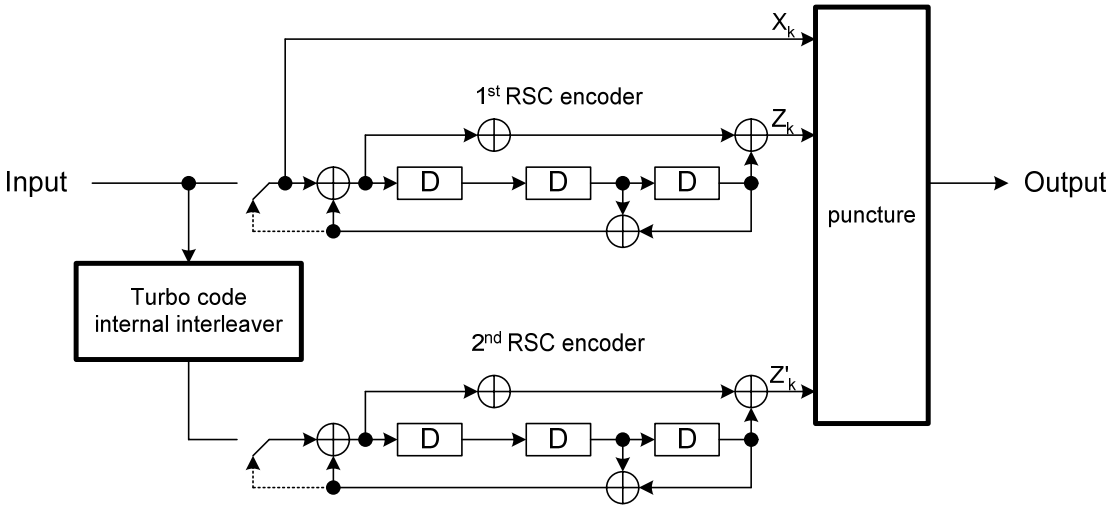


ภาพที่ 14 การทำงานของวงจรลดจำนวนและความละเอียดของตัวอย่าง และจัดเฟรม

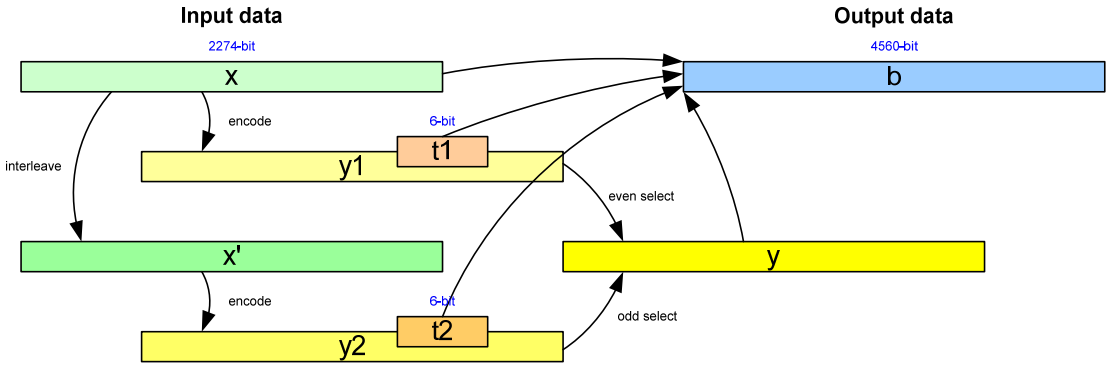
วงจรเข้ารหัสเทอร์โบ(Turbo encoder)

เป็นวงจรที่ทำงานบน FPGA ทำการเข้ารหัสเทอร์โบซึ่งเป็นรหัสที่สามารถลดความผิดพลาดของบิตข้อมูลจากช่องสัญญาณได้เป็นอย่างดี ขนาดของเฟรมข้อมูลที่ถูกส่งเข้ามามีจำนวน 2,274 บิต จะนำมาสร้างพาริตี้(parity) 2 ชุด ซึ่งแต่ละชุดมีจำนวน 2,274 บิต โดยพาริตี้ชุดแรกสร้างโดยนำข้อมูลทั้งหมดที่ถูกส่งเข้ามามาผ่านวงจรเข้ารหัสซิสเต็มเมติกคอนโวลูชันนอลแบบป้อนกลับ (Recursive Systematic Convolutional, RSC) ในขณะที่พาริตี้ชุดที่สองสร้างโดยนำข้อมูลที่ได้จากการสลับข้อมูล(interleave) ข้อมูลทั้งหมดที่ส่งเข้ามา มาผ่านวงจรเข้ารหัส RSC พาริตี้ที่สร้างมาทั้ง 2 ชุดนั้นจะมีการเลือกนำออกมาส่งตรงเพียงบางบิตเท่านั้น โดยพาริตี้ชุดแรกจะนำเฉพาะบิตคู่มาส่งต่อ ในขณะที่พาริตี้ชุดที่สองจะนำเฉพาะบิตคี่มาส่งต่อ ดังนั้นจึงเหลือส่วนของพาริตี้รวมเท่ากับ 2,274 บิตเท่านั้น ในการผ่านวงจรเข้ารหัสทั้งสองนั้นจะมีการสร้างส่วนปิดท้าย (terminate) ขึ้นมาจำนวน 12 บิตด้วย ซึ่งเมื่อนำมารวมกันระหว่างข้อมูลที่นำเข้ามาเข้ารหัสจำนวน 2,274 บิต, พาริตี้ทั้งสองชุด

ที่ทำการคัดเลือกบิตออกมาแล้วจำนวน 2,274 บิต และส่วนปิดท้ายอีกจำนวน 12 บิต จะได้ข้อมูลที่ได้จากวงจรเข้ารหัสจำนวน 4,560 บิต ดังแสดงในภาพที่ 16



ภาพที่ 15 โครงสร้างวงจรเข้ารหัสเทอร์โบ

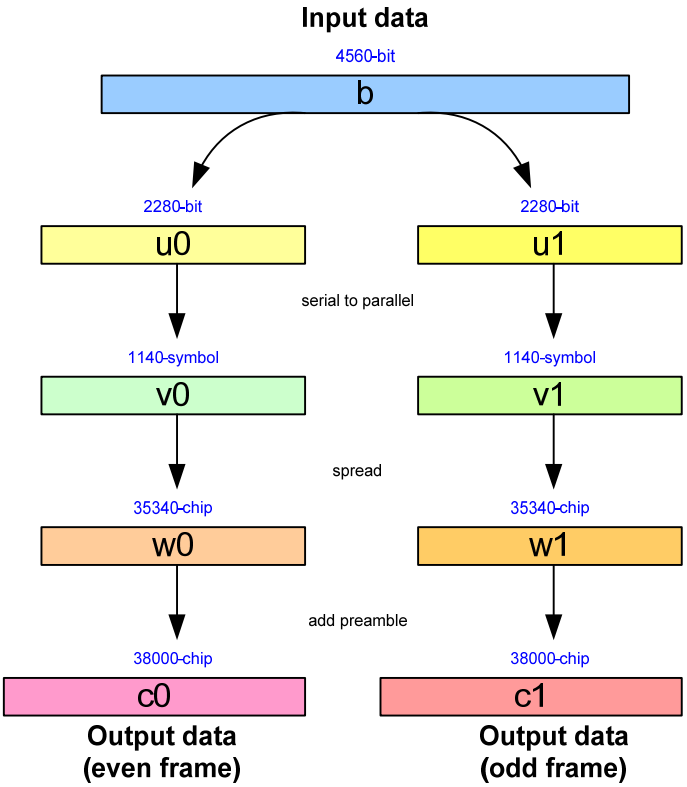


ภาพที่ 16 ขั้นตอนการจัดการบิตข้อมูลในการเข้ารหัสเทอร์โบ

วงจรจัดเฟรมสัญญาณวิทยุ(Radio framing)

ทำหน้าที่แยกเฟรมข้อมูลเสียงขนาด 4,560 บิต ออกเป็นเฟรมข้อมูลสัญญาณวิทยุขนาด 2,280 บิต จำนวน 2 เฟรมหลังจากนั้นจึงจัดรูปให้อยู่ในรูปแบบสองสายข้อมูลเพื่อนำมาสร้างรหัสสัญลักษณ์ของการมอดูเลตแบบ QPSK ก่อนนำมาแผ่สเปคตรัมด้วยรหัสแผ่สเปคตรัมขนาด 31 ชิป

เฟรมข้อมูลสัญญาณวิทยุทั้ง 2 เฟรมนั้นจะถูกแทรกด้วยส่วนพรีแอมเบิลในส่วนหน้าของเฟรมข้อมูลสัญญาณวิทยุ ได้ขนาดเฟรมข้อมูลสัญญาณวิทยุยาว 38,000 ชิป



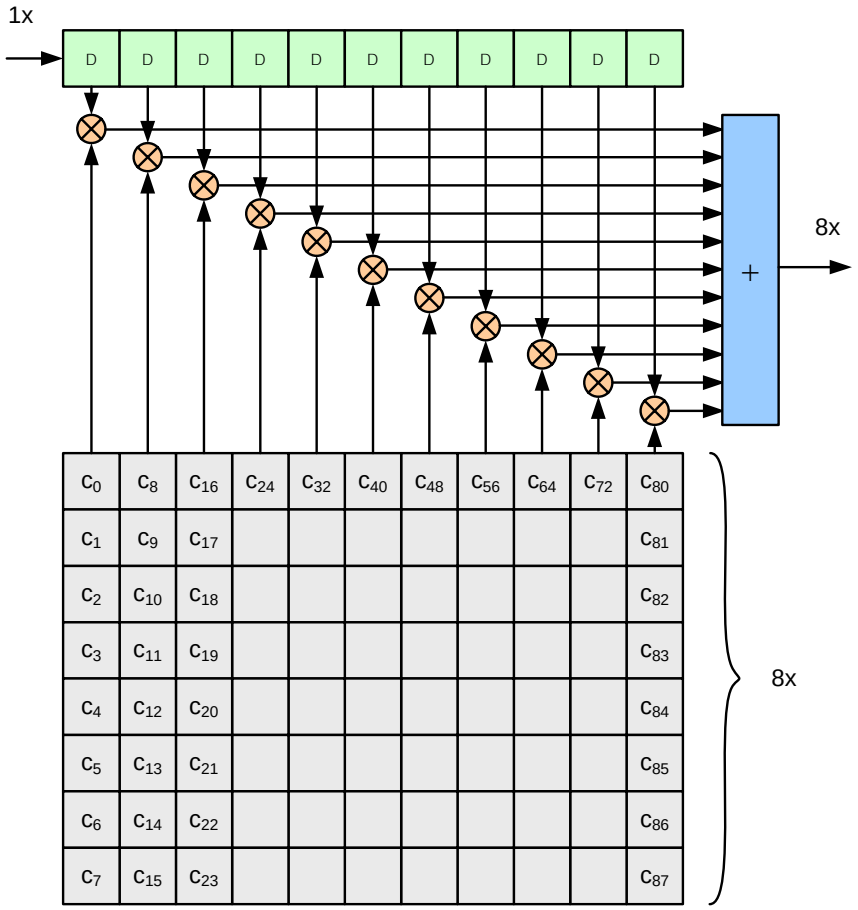
ภาพที่ 17 ขั้นตอนการจัดการบิตข้อมูลในการสร้างเฟรมข้อมูลสัญญาณวิทยุ

วงจรสร้างรูปคลื่นให้กับรหัสสัญลักษณ์(Pulse Shaping)

วงจรที่ใช้สร้างรูปคลื่นเป็นวงจรกรองความถี่แบบ FIR ที่ทำการเพิ่มอัตราการชักตัวอย่างไปพร้อมกันด้วย (up-sample) โดยอัตราการชักตัวอย่างเพิ่มจาก 4 ล้านชิปต่อวินาที เป็น32 ล้านชิปต่อวินาที หรือมีอัตราการเพิ่มเป็น 8 เท่า ดังนั้นค่าผลตอบสนองอิมพัลส์ในรูปของเวลาไม่ต่อเนื่องมีค่าเป็น

$$RC[n] = C \cdot \frac{\sin\left(\pi \frac{n}{8}(1-\alpha)\right) + 4\alpha \frac{n}{8}\cos\left(\pi \frac{n}{8}(1+\alpha)\right)}{n\left(1-\left(4\alpha \frac{n}{8}\right)^2\right)}$$

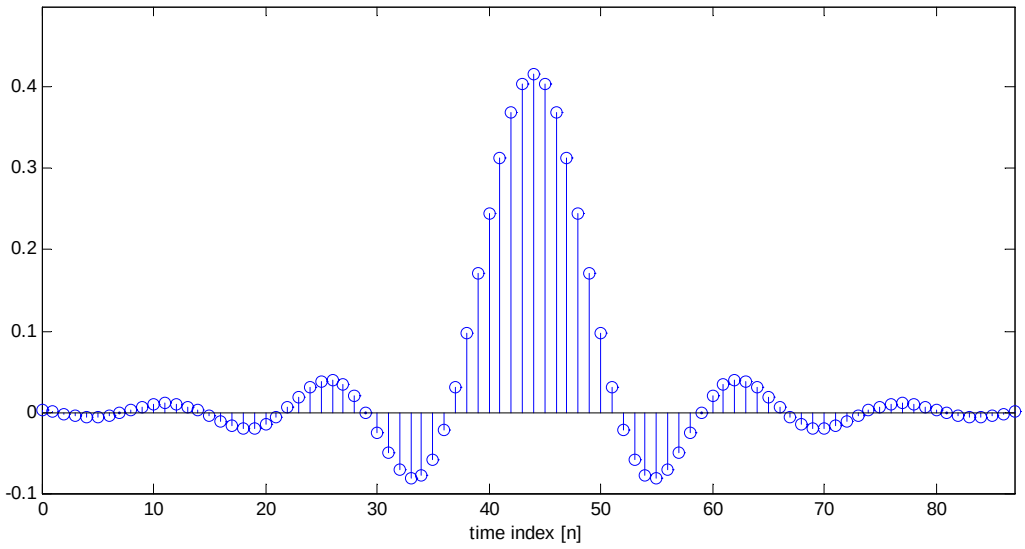
โดยค่า C เป็นค่าคงที่ที่ไม่ขึ้นกับค่าดัชนี n และค่า $\alpha = 0.22$ เป็นค่าสัมประสิทธิ์ม้วนออก



ภาพที่ 18 โครงสร้างของวงจรสร้างรูปคลื่น

ภาพที่ 18 แสดงโครงสร้างวงจรสร้างรูปคลื่นซึ่งประกอบด้วยวงจรรีจีสเตอร์เลื่อน(Shift register) ขนาดยาว 11 รหัสสัญลักษณ์ ที่ใช้ในการเก็บค่ารหัสสัญลักษณ์ที่ต้องการส่ง, วงจรคูณ, หน่วยความจำซึ่งเก็บค่าสัมประสิทธิ์ผลตอบสนองอิมพัลส์จำนวน 88 ค่า โดยเรียงค่าสัมประสิทธิ์จากบนลงล่างและเริ่มหลักใหม่จนครบ และส่วนสุดท้ายคือวงจรบวก การทำงานของวงจรสร้างรูปคลื่นนั้นอัตราข้อมูลที่ออกจากวงจรมีสัดส่วนเป็น 8 เท่าของข้อมูลเข้าวงจรซึ่งส่วนที่ทำให้อัตรา

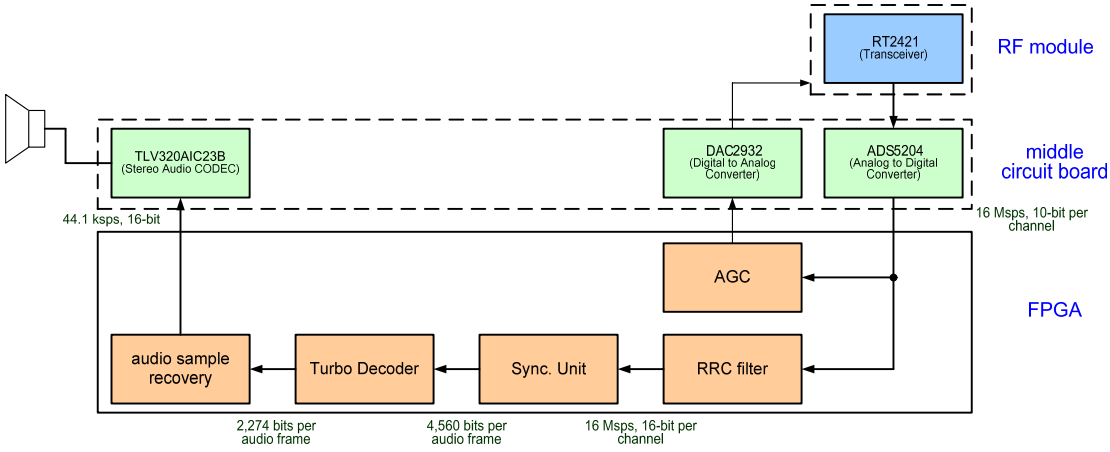
ข้อมูลออกเพิ่มขึ้นคือค่าสัมประสิทธิ์ที่ถูกนำมาคูณกับค่าอินพุทมีอัตราสูงเป็น 8 เท่า โดยค่าอินพุททุกตัวที่เข้ามาในวงจรต้องถูกนำมาคูณกับสัมประสิทธิ์ทั้ง 88 ค่า ดังแสดงในภาพที่ 19



ภาพที่ 19 สัมประสิทธิ์ผลตอบสนองอิมพัลส์จำนวน 88 ค่า

โครงสร้างเครื่องรับ

ชุดแผงวงจรของเครื่องฝั่งรับประกอบด้วยแผงวงจร 3 ส่วน คือ แผงวงจรพัฒนาวงจรรวม FPGA, แผงวงจรแปลงสัญญาณซึ่งอยู่ตรงกลาง และแผงวงจรภาคสัญญาณวิทยุ ส่วนประมวลสัญญาณเบสแบนด์จะถูกโปรแกรมลงบนวงจรรวม FPGA ซึ่งอยู่ในแผงวงจรล่างสุด โดยมีส่วนของวงจรใหญ่ ๆ ภายในจำนวน 5 วงจร ดังแสดงในภาพที่ 20 ในแผงวงจรกลางซึ่งเป็นวงจรแปลงสัญญาณนั้นจะมีวงจรรวมที่ถูกนำมาใช้งานทั้งสามตัว คือ วงจรแปลงสัญญาณเสียง TLV320AIC23B, วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนาล็อก DAC2932 ในส่วนสัญญาณแรงดันเท่านั้น(ใช้ปรับขนาดสัญญาณอัตโนมัติ) และวงจรแปลงสัญญาณแอนาล็อกเป็นสัญญาณดิจิตอล ADS5204 ส่วนแผงวงจรที่อยู่ชั้นบนสุดซึ่งเป็นส่วนของภาคสัญญาณวิทยุนั้นจะถูกตั้งค่าให้ทำงานในโหมดรับสัญญาณวิทยุเท่านั้น



ภาพที่ 20 โครงสร้างเครื่องฝั่งรับ

การปรับขนาดสัญญาณอัตโนมัติ

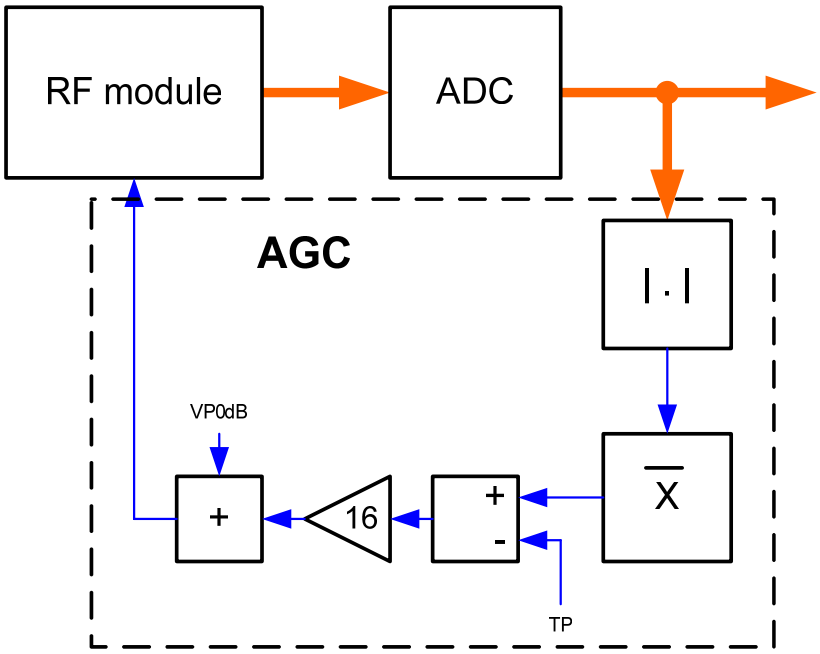
เป็นวงจรคำนวณความแรงของสัญญาณและสร้างสัญญาณเพื่อไปปรับอัตราการขยายที่ภาครับสัญญาณวิทยุ โดยมีรูปแบบการปรับแบบป้อนกลับเพื่อให้สัญญาณแอนาล็อกที่ส่งผ่านส่วนแปลงสัญญาณแอนาล็อกเป็นดิจิตอลช่วงสัญญาณเต็มย่านการแปลง(full scale) ของส่วนตัวแปลงสัญญาณ ช่วยเพิ่มค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวน(SNR) เนื่องจากสัญญาณรบกวนจากการแปลงเป็นสัญญาณดิจิตอล(digitizing noise) วงจรแสดงในภาพที่ 21 สัญญาณจากส่วนตัวแปลงสัญญาณทั้ง 2 ช่อง ถูกนำมาคำนวณหาค่าสัมบูรณ์ แทนการยกกำลังสองเพื่อหาค่าพลังงานสัญญาณเพื่อลดทรัพยากรและสามารถออกแบบวงจรที่มีความเร็วสูงได้ ค่าประมาณของพลังงานสัญญาณที่ได้ถูกนำมาเฉลี่ยค่าแบบค่าเฉลี่ยเคลื่อนที่เอ็กโปรเนนเชียล (exponential averaging) ซึ่งมีสมการคือ

$$\bar{x}_{\exp}[n] = \beta x + (1-\beta)\bar{x}_{\exp}[n-1]$$

โดยค่า β มีค่าระหว่าง 0 ถึง 1 สำหรับในรายงานฉบับนี้ใช้ค่าเท่ากับ 0.0009765625

ค่าเฉลี่ยที่ได้นี้จะถูกนำมาเปรียบเทียบกับค่าเป้าหมายและนำมาขยายเป็น 16 เท่า เนื่องจากวงจรขยายสัญญาณในภาครับสัญญาณวิทยุมีจุด 0 dB เมื่อค่าแรงดันอินพุทมีค่าประมาณ 0.21269

โวลท์ ดังนั้นจึงทำการยกสัญญาณด้วยค่า VP0dB ก่อนส่งผ่านวงจรแปลงสัญญาณดิจิตอลเป็นแอนาล็อกออกไปป้อนแก่วงจรขยายสัญญาณในภาครับสัญญาณวิทยุ



ภาพที่ 21 วงจรปรับความแรงสัญญาณอัตโนมัติ

วงจรกรองแบบเข้าคู่กัน (RRC matched filter)

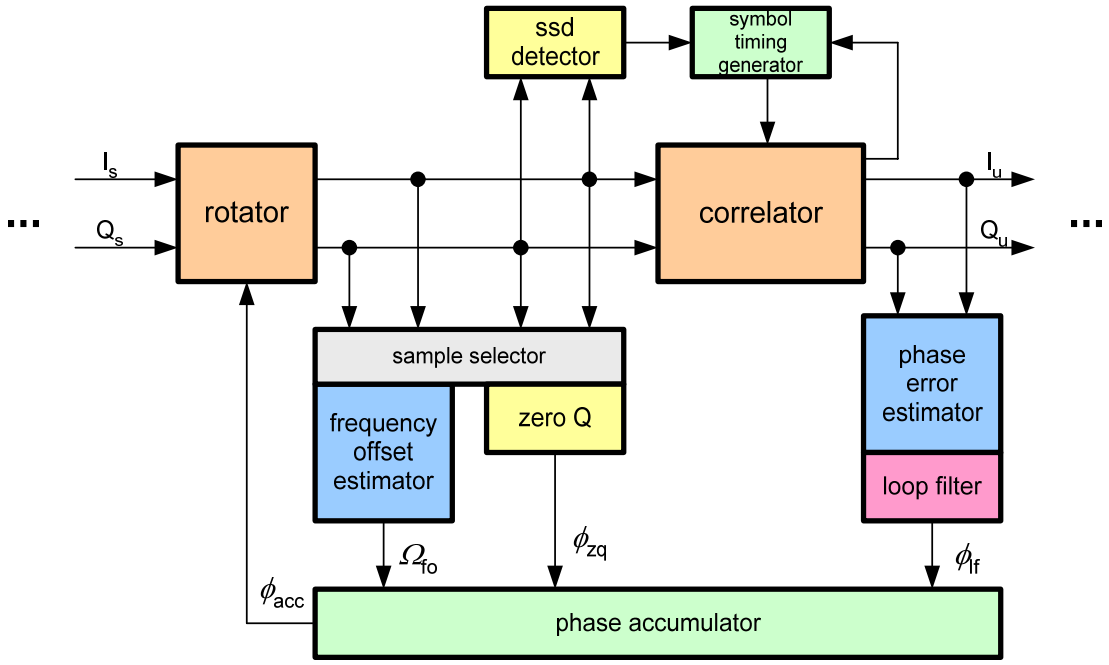
รูปคลื่นของสัญญาณที่ส่งจากฝั่งส่งคือ RRC ดังนั้นภาครับจึงใช้วงจรกรองที่มีค่าสัมประสิทธิ์ของ RRC มาใช้เป็นวงจรกรองแบบเข้าคู่กันเพื่อช่วยลดการรบกวนกันระหว่างรหัสสัญลักษณ์(ISI) วงจรเป็นวงจรกรองแบบ FIR จำนวน 7×4 = 28 ค่าสัมประสิทธิ์ มีรูปคลื่นแผ่ออกไปยังรหัสสัญลักษณ์รอบข้างด้านละ 3 รหัส ตารางที่ 1 แสดงค่าสัมประสิทธิ์ที่จัดระดับค่า (quantizing) แล้วเป็นค่าตัวเลขจำนวนเต็ม เอาต์พุทที่ได้จะมีอัตราชักตัวอย่าง 16 ล้านตัวอย่างต่อวินาที

ตารางที่ 1 ค่าสัมประสิทธิ์ที่จัดระดับค่าแล้วของวงจรกรองแบบเข้าคู่กัน(RRC matched filter)

ตำแหน่งของสัมประสิทธิ์	ค่าสัมประสิทธิ์
0	-33
1	-58
2	-43
4	17
5	86
6	112
7	55
8	-73
9	-199
10	-223
11	-64
12	274
13	696
14	1045
15	1180
16	1045
17	696
18	274
19	-64
20	-223
21	-199
22	-73
23	55
24	112
25	86
26	17
27	-43
28	-58

การเข้าจังหวะสัญญาณ

วงจรเข้าจังหวะสัญญาณของระบบสื่อสารไร้สายด้วยเทคนิคสเปคตรัมแผ่แบบ DS/SS ใช้ระบบการควบคุมแบบป้อนกลับ(feedback control) เพื่อควบคุมเฟสของสัญญาณก่อนนำมาประมวลผลต่อไป การทำงานเริ่มจากวงจรหมุนเฟส(rotator), วงจรประมาณค่าความถี่ตกค้าง (frequency offset estimator), วงจรปรับค่าแกน Q ให้เป็นศูนย์(zero Q), การตรวจจับจุดเริ่มต้นข้อมูลที่ถูกแผ่สเปคตรัม(ssd detector), วงจรกำเนิดฐานเวลารหัสสัญลักษณ์(symbol timing generator), วงจรคำนวณค่าสหสัมพันธ์(correlator), วงจรประมาณค่าเฟสผิดพลาด(phase error estimator), วงจรกรองวนรอบ(loop filter) และวงจรสะสมค่าเฟส(phase accumulator) ตามลำดับ

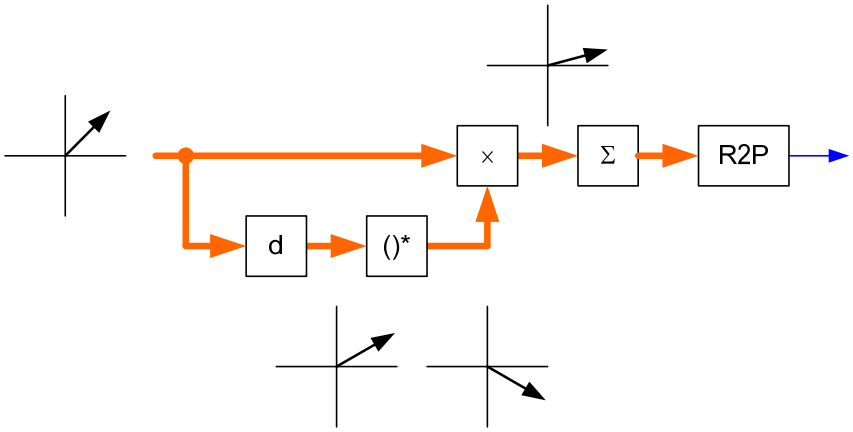


ภาพที่ 22 วงจรเข้าจังหวะสัญญาณ

1. **การหมุนเฟส(Phase rotator)** ทำการหมุนเฟสของสัญญาณอินพุทไปยังมุมที่ต้องการ ซึ่งถูกป้อนมาจากวงจรสะสมค่าเฟส วงจรที่นำมาประยุกต์สร้างเป็นวงจรหมุนเฟสคือวงจร CORDIC ซึ่งใช้หลักการทำงานแบบทำซ้ำ(iterative) เพื่อให้ได้ค่ามุมที่ต้องการ

2. **การประมาณความถี่ตกค้าง(Frequency offset estimate)** เป็นวงจรที่คำนวณความถี่ตกค้างหลังจากที่ภาครับสัญญาณวิทยุดีมอดูเลตสัญญาณลงมาที่สัญญาณเบสแบนด์แล้ว โดยใช้สัญญาณในส่วน pre_1 ในการคำนวณความถี่ตกค้าง ตัวอย่างสัญญาณจะถูกนำมาเปรียบเทียบกับตัวอย่างสัญญาณก่อนหน้าเพื่อหาค่าเฟสเปลี่ยนแปลง และจึงนำมาหาค่าเฉลี่ยของเฟสเปลี่ยนแปลง โดยวิธีต่อเวกเตอร์ก่อนแปลงค่าเฉลี่ยนี้เป็นค่ามุมเปลี่ยนแปลงเฉลี่ยของสัญญาณ ดังแสดงในภาพที่ 23 แสดงวงจรประวิงเวลาไปหนึ่งจังหวะชิป (d), วงจรคอนจูเกตสัญญาณเชิงซ้อน, วงจรคูณสัญญาณเชิงซ้อน, วงจรบวกสัญญาณเชิงซ้อน และวงจรแปลงค่าจากสัญญาณเชิงซ้อนเป็นมุม วงจรประวิงเวลา, วงจรคอนจูเกตสัญญาณเชิงซ้อน และวงจรคูณสัญญาณเชิงซ้อนทำหน้าที่ในการสร้างเวกเตอร์ของการเปลี่ยนแปลงเฟสของสัญญาณในคาบเวลาชิป หลังจากนั้นจึงทำการบวกสะสมเวกเตอร์เพื่อลดการแกว่งของค่าเวกเตอร์การเปลี่ยนแปลงเฟสของสัญญาณ เมื่อบวกสะสมครบตาม

จำนวนที่ตั้งค่าไว้แล้วจึงนำเวกเตอร์ผลลัพธ์นั้นมาคำนวณค่ามุมเวกเตอร์ด้วยวงจรแปลงค่าสัญญาณเชิงซ้อนเป็นมุม(R2P)



ภาพที่ 23 เฟสของสัญญาณเมื่อผ่านวงจรประมาณค่าความถี่ตกค้าง

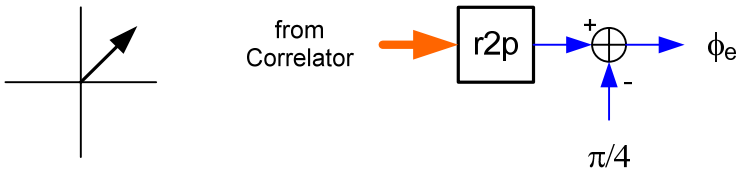
3. **การค้นหาตำแหน่งบนเฟรมสัญญาณวิทยุ**

3.1. **จุดเริ่มต้นเฟรม** ขณะเริ่มมีสัญญาณวงจรปรับขนาดสัญญาณอัตโนมัติจะพยายามปรับสัญญาณให้มีขนาดที่พอเหมาะ ซึ่งในช่วงแรกนั้นขนาดของสัญญาณจะมีการแกว่งไปมา ดังนั้นจึงกำหนดให้ตำแหน่งที่สัญญาณมีการแกว่งเกินกว่าค่าขีดจำกัด(threshold) เป็นจุดเริ่มต้นเฟรม

3.2. **จุดเริ่มต้นข้อมูลที่ถูกแผ่สเปคตรัม** เป็นรหัสขนาด 32 ชิปในส่วน pre_1 การตรวจจับจะเริ่มทำงานหลังจากประมาณความถี่ตกค้างเรียบร้อยแล้ว โดยวงจรปรับแกน Q ให้เป็นศูนย์(Zero Q) เริ่มทำงานปรับเฟสของสัญญาณให้แกน Q มีค่าใกล้เคียงศูนย์ซึ่งเป็นผลให้ข้อมูลไปอยู่บนแกน I เท่านั้น ทำให้การตรวจจับสามารถตรวจจับจากแกน I เท่านั้นได้ และยังสามารถใช้การตัดสินใจแบบหยาบ(hard decision) เพื่อลดความซับซ้อนของวงจรตรวจจับลงได้

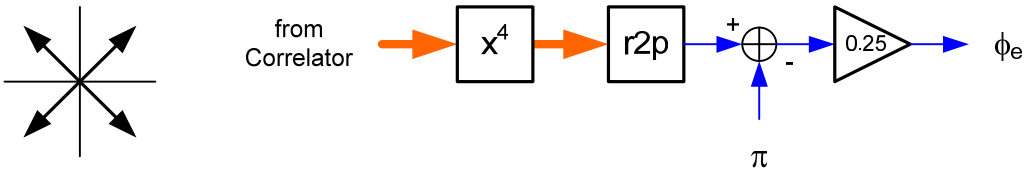
4. **การประมาณเฟสผิดพลาด(Phase error estimate)** เป็นวงจรที่คำนวณค่าเฟสผิดพลาดจากค่าสหสัมพันธ์ที่ได้จากวงจรคำนวณค่าสหสัมพันธ์ซึ่งเป็นค่าเฟสเฉลี่ยระหว่างช่วงเวลาทั้ง 31 ชิป โดยเริ่มทำงานกับส่วน pre_2 เป็นต้นไปเช่นเดียวกับวงจรคำนวณค่าสหสัมพันธ์มีวิธีอยู่ 2 รูปแบบคือ

4.1. **ทราบค่าที่ส่ง** ทำงานกับส่วน pre_2 ช่วงแรก ขณะทำการปรับค่าเฟสเริ่มต้น เป็นบริเวณที่ทราบค่าซึ่งมีค่าเฟสของสัญญาณคือ 45 องศา ดังนั้นวงจรการหาค่าเฟสผิดพลาดจึงมีรูปแบบดังแสดงในภาพที่ 24 โดยประกอบด้วยวงจรแปลงสัญญาณเชิงซ้อนเป็นค่ามุม และส่วนจัดค่าให้ถูกต้อง



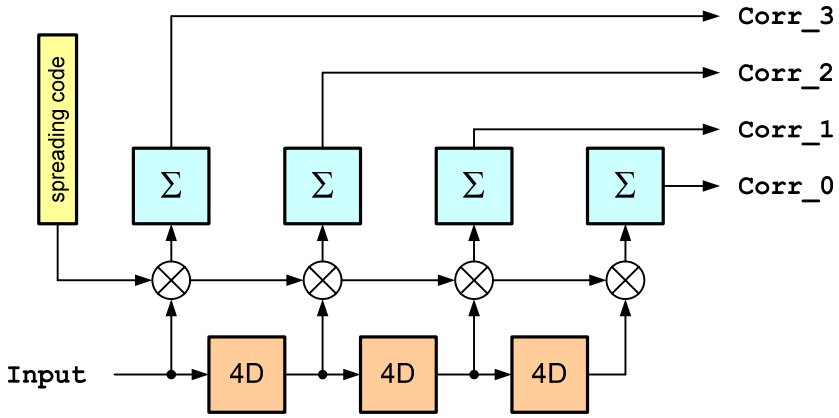
ภาพที่ 24 วงจรหาค่าเฟสผิดพลาดขณะปรับค่าเฟสเริ่มต้น

4.2. **ไม่ทราบค่าที่ส่ง** ทำงานกับส่วน pre_2 ช่วงท้ายและส่วน data เป็นบริเวณที่ไม่ทราบค่าแต่มีค่าของสัญญาณที่เป็นไปได้ 4 ตำแหน่งคือ 45, 135, 225 และ 315 องศา วงจรหาค่าเฟสผิดพลาดจึงมีรูปแบบดังแสดงในภาพที่ 25 โดยประกอบด้วยวงจรยกกำลัง 4 สัญญาณเชิงซ้อน, วงจรแปลงสัญญาณเชิงซ้อนเป็นค่ามุม และส่วนจัดค่าให้ถูกต้อง วงจรนี้ทำงานร่วมกับการติดตามเฟสของสัญญาณ



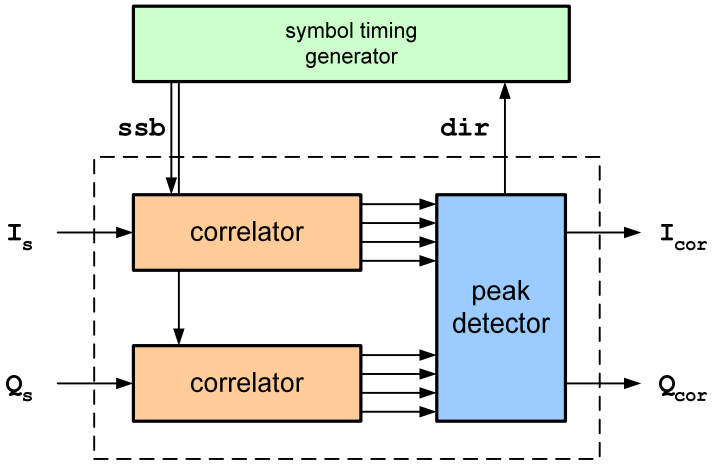
ภาพที่ 25 วงจรหาค่าเฟสผิดพลาดขณะติดตามเฟส

5. **การหาค่าสหสัมพันธ์(Correlation) และติดตามฐานเวลาสัญลักษณ์(Symbol timing)** วงจรคำนวณค่าสหสัมพันธ์ทำการหาค่าสหสัมพันธ์ระหว่างสัญญาณที่รับมากับรหัสแผ่สเปคตรัมขนาด 31 ชิป ที่ใช้ในการแผ่สเปคตรัมโดยเริ่มทำงานกับส่วน pre_2 เป็นต้นไป ค่าสหสัมพันธ์ที่วงจรสร้างขึ้นมี 4 ค่า ซึ่งแต่ละค่าเป็นค่าสหสัมพันธ์ที่ได้จากการนำรหัสแผ่สเปคตรัมที่เลื่อนไปหนึ่งตำแหน่งชิป ดังแสดงในภาพที่ 26



ภาพที่ 26 วงจรคำนวณค่าสหสัมพันธ์จำนวน 4 ค่าต่างตำแหน่งชิป

5.1. **การติดตามค่าสหสัมพันธ์ 4 ตำแหน่ง** วงจรคำนวณค่าสหสัมพันธ์ได้คำนวณค่าสหสัมพันธ์จำนวน 4 ตำแหน่งเวลา และส่งให้แก่วงจรตรวจจับค่ายอด(peak detector) ซึ่งทำการคัดเลือกค่าสหสัมพันธ์เชิงซ้อนที่ให้ค่าสัมบูรณ์(Absolute) สูงสุด และกำหนดทิศทางการเลื่อนของรหัสแผ่สเปคตรัมป้อนกลับไปยังวงจรกำเนิดฐานเวลารหัสสัญลักษณ์



ภาพที่ 27 วงจรคำนวณค่าสหสัมพันธ์แบบเชิงซ้อน

ค่าสหสัมพันธ์เชิงซ้อนที่คำนวณได้ทั้ง 4 ค่า ได้แก่ Corr_0, Corr_1, Corr_2 และ Corr_3 ถูกส่งให้แก่วงจรตรวจจับค่ายอดและพยายามส่งค่าสัญญาณทิศทาง(direction) ในทิศทางที่ทำให้ค่าสหสัมพันธ์เชิงซ้อน Corr_1 มีค่าสัมบูรณ์มากที่สุด โดยมีอัลกอริทึมดังนี้

ถ้า Corr_0 มีค่ามากที่สุดทิศทางจะเป็น -1 ตัวอย่าง หรือ

ถ้า Corr_1 มีค่ามากที่สุดจะพิจารณาค่า Corr_0 และ Corr_2 โดยหาก

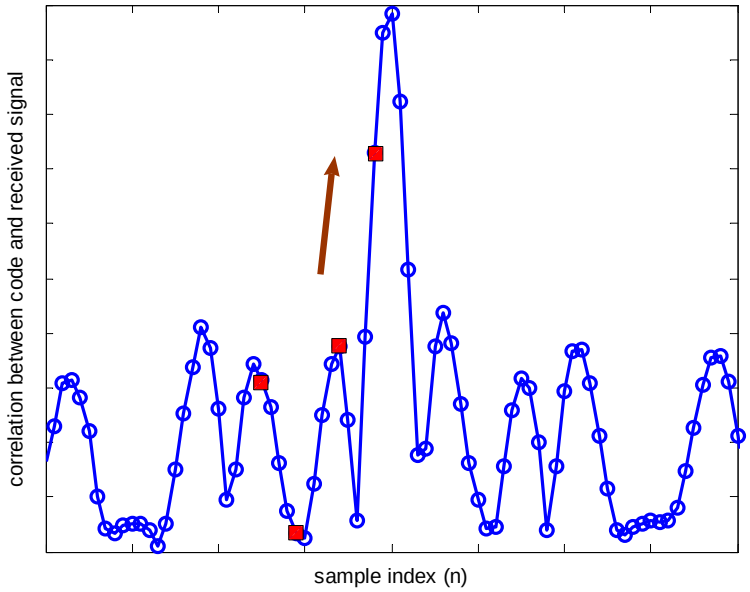
ค่า Corr_0 มากกว่าหรือเท่ากับ Corr_2 ทิศทางจะเป็น -1 ตัวอย่าง

ค่า Corr_0 น้อยกว่า Corr_2 ทิศทางจะเป็น +1 ตัวอย่าง

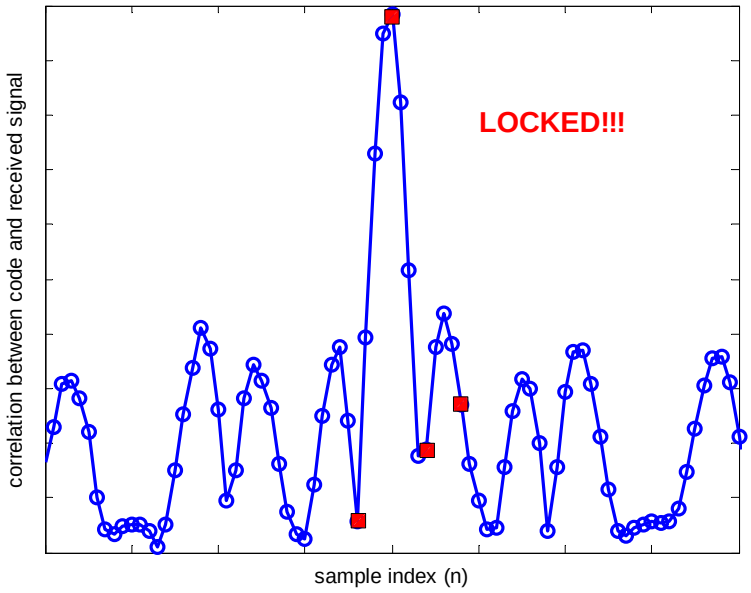
ถ้า Corr_2 มีค่ามากที่สุดทิศทางจะเป็น +1 ตัวอย่าง หรือ

ถ้า Corr_3 มีค่ามากที่สุดทิศทางจะเป็น +2 ตัวอย่าง

การทำงานของอัลกอริทึมแสดงใน ภาพที่ 28 ขณะเริ่มต้น และในภาพที่ 29 เมื่อผ่านไปหลายรหัสสัญลักษณ์ โดยพยายามรักษาให้ค่า Corr_1 มีค่ามากที่สุดตลอดเวลา

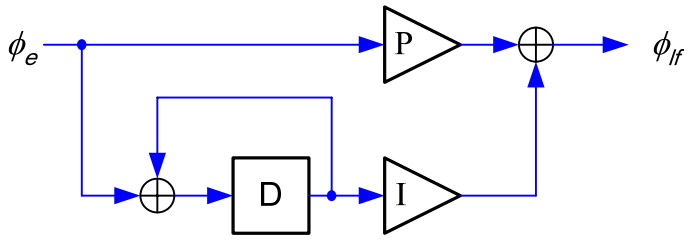


ภาพที่ 28 ตำแหน่งทางเวลาของค่าสหสัมพันธ์ขณะเริ่มต้น



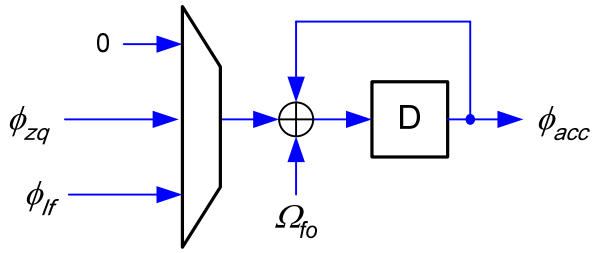
ภาพที่ 29 ตำแหน่งทางเวลาของค่าสหสัมพันธ์หลังจากผ่านไปหลายรหัสสัญลักษณ์

6. **วงจรกรองวนรอบ(loop filter)** ทำหน้าที่ประมวลผลค่าเฟสผิดพลาดเพื่อป้อนกลับไปแก้ไขเฟสในส่วนวงจรหมุนเฟสต่อไป มีโครงสร้างแสดงในภาพที่ 30 ซึ่งเป็นวงจรควบคุมแบบพีไอ (PI control) โดยค่าสัมประสิทธิ์ของ P และ I ทดสอบจากโปรแกรม MATLAB เพื่อให้เฟสผิดพลาดลู่เข้า 0 เร็วที่สุดในช่วงเวลา pre_2 และมีการแกว่งไม่มาก ซึ่งจากการทดสอบ ได้ค่าสัมประสิทธิ์ P และ I เป็น 1 และ 0.25 ตามลำดับ และเป็นค่าที่เหมาะในการสร้างเป็นวงจรด้วย



ภาพที่ 30 วงจรลูปฟิลเตอร์ค่าเฟสผิดพลาดที่ใช้โครงสร้างแบบ PI control

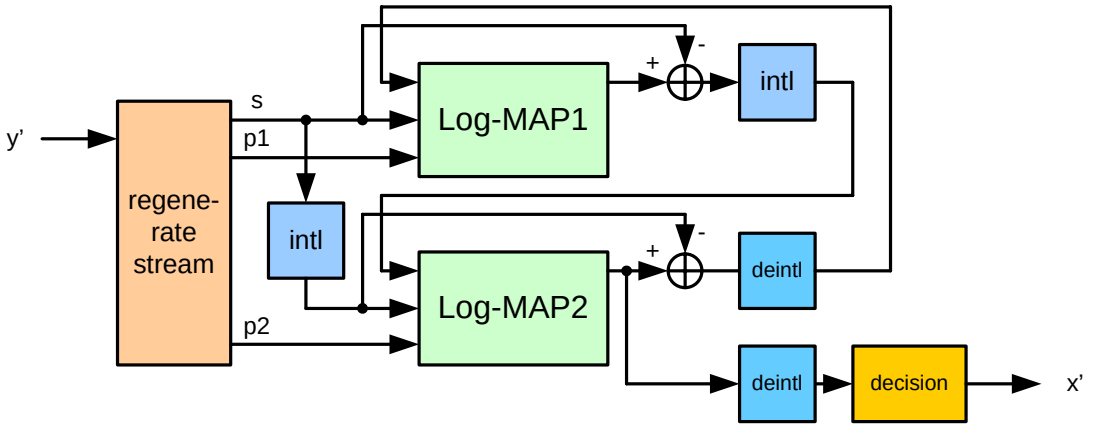
7. **วงจรสะสมค่าเฟส(phase accumulator)** ทำหน้าที่สะสมค่าเฟสอันเนื่องมาจากความถี่ตกค้าง และค่าเฟสผิดพลาดก่อนส่งไปควบคุมเฟสที่วงจรหมุนเฟสต่อไป



ภาพที่ 31 วงจรสะสมค่าเฟส

วงจรถอดรหัสเทอร์โบ(Turbo encoder)

รหัสที่ใช้เป็นรหัสเทอร์โบรูปแบบในการถอดรหัสประเภทนี้ใช้การถอดรหัสวนรอบ (iteration decoding) เพื่อให้ข้อมูลที่ถูกต้องมากขึ้นในแต่ละรอบของการถอดรหัส ตัวถอดรหัสที่ใช้ถอดรหัสเป็นชนิดใช้ค่าอินพุทแบบละเอียดและให้เอาต์พุทแบบละเอียด(Soft-in soft-out) โดยในที่นี้ใช้วงจรถอดรหัสแบบ Log-MAP จากภาพที่ 32 บิตข้อมูล y' ถูกนำมาสร้างเป็นสายบิตข้อมูลใหม่จำนวน 3 สาย คือ สาย s, สาย p1 และสาย p2 เพื่อนำมาป้อนเป็นอินพุทแก่วงจรถอดรหัส Log-MAP โดย บิตข้อมูลสาย s และสาย p1 รวมทั้งข้อมูลแบบละเอียดจากวงจรถอดรหัสชุดที่ 2 จะเป็นอินพุทให้แก่วงจรถอดรหัสชุดที่ 1 เอาต์พุทจากวงจรถอดรหัสชุดที่ 1 จะถูกนำมากำจัดส่วนของ systematic ทิ้งออกไปก่อนส่งไปยังวงจรถอดรหัสชุดที่ 2 ซึ่งจะทำในลักษณะเดียวกัน โดยมีบิตข้อมูลสาย s ที่ผ่านการสลับบิตข้อมูลแล้ว, บิตข้อมูลสาย p2 และค่าละเอียดจากวงจรถอดรหัสชุดที่ 2 เมื่อทำการถอดรหัสโดยวงจรถอดรหัสทั้งสองแล้วถือว่าเป็นการถอดรหัสหนึ่งรอบ เมื่อถอดรหัสครบรอบที่กำหนด เอาต์พุทจากวงจรถอดรหัสชุดที่ 2 จะถูกนำมาตัดสินใจเป็นบิตข้อมูลโดยไม่ต้องกำจัดส่วน systematic ทิ้ง



ภาพที่ 32 วงจรถอดรหัสเทอร์โบ

วงจรสร้างตัวอย่างสัญญาณเสียงกลับมาใหม่(Audio sample recovery)

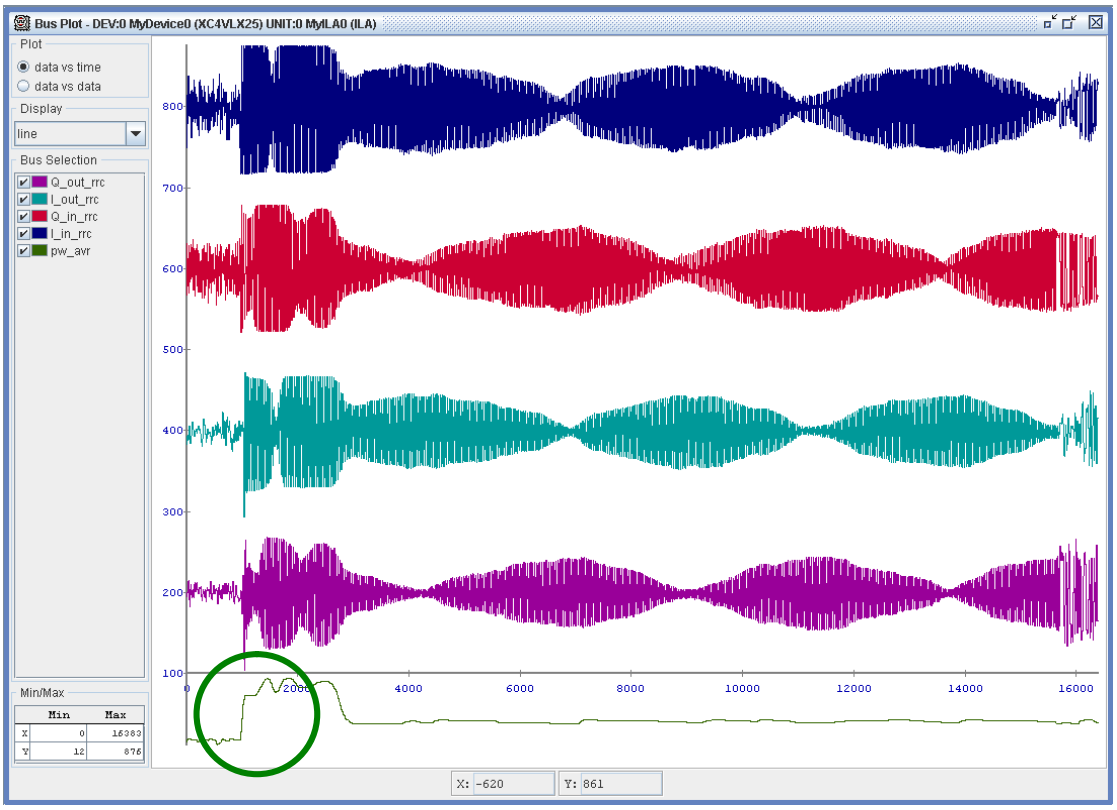
นำบิตข้อมูลที่ได้รับจากวงจรถอดรหัสเทอร์โบจำนวน 2,274 บิต มาจัดเรียงใหม่ในรูปของตัวอย่างสัญญาณเสียงและทยอยส่งออกไปที่วงจรรวมแปลงสัญญาณเสียง TLV320AIC23B ด้วยอัตรา 44.1 กิโลตัวอย่างต่อวินาที

ผลและวิจารณ์

ผลการทดลองบนฮาร์ดแวร์

การค้นหาตำแหน่งจุดเริ่มต้นเฟรม

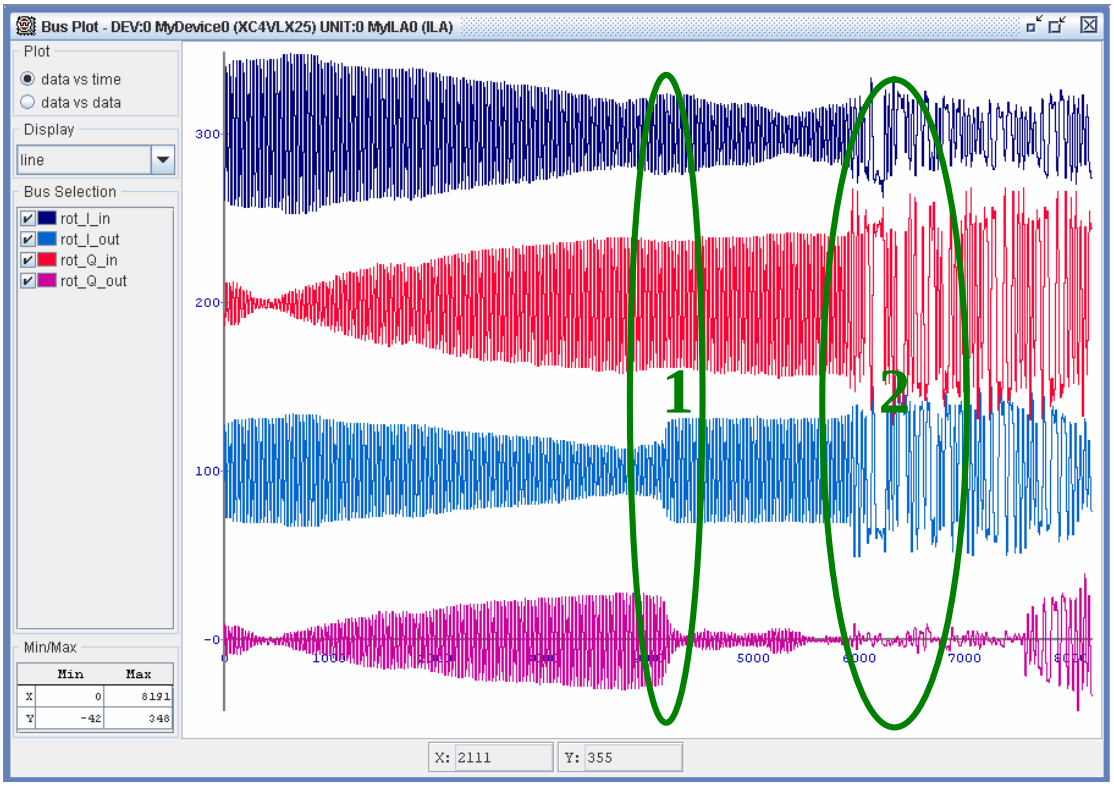
ภาพที่ 33 แสดงการเริ่มมีสัญญาณปรากฏที่ฝั่งตัวรับ โดยสัญญาณตัวล่างสุดแสดงค่าพลังงานของสัญญาณที่เกิดการกระเพื่อมขณะเริ่มมีสัญญาณ ซึ่งใช้จุดนี้เป็นจุดเริ่มต้นเฟรมสัญญาณวิทยุ



ภาพที่ 33 ตำแหน่งจุดเริ่มต้นเฟรม

การแก้ไขความถี่ตกค้าง และการค้นหาตำแหน่งจุดเริ่มต้นข้อมูลที่ถูกแผ่สเปคตรัม

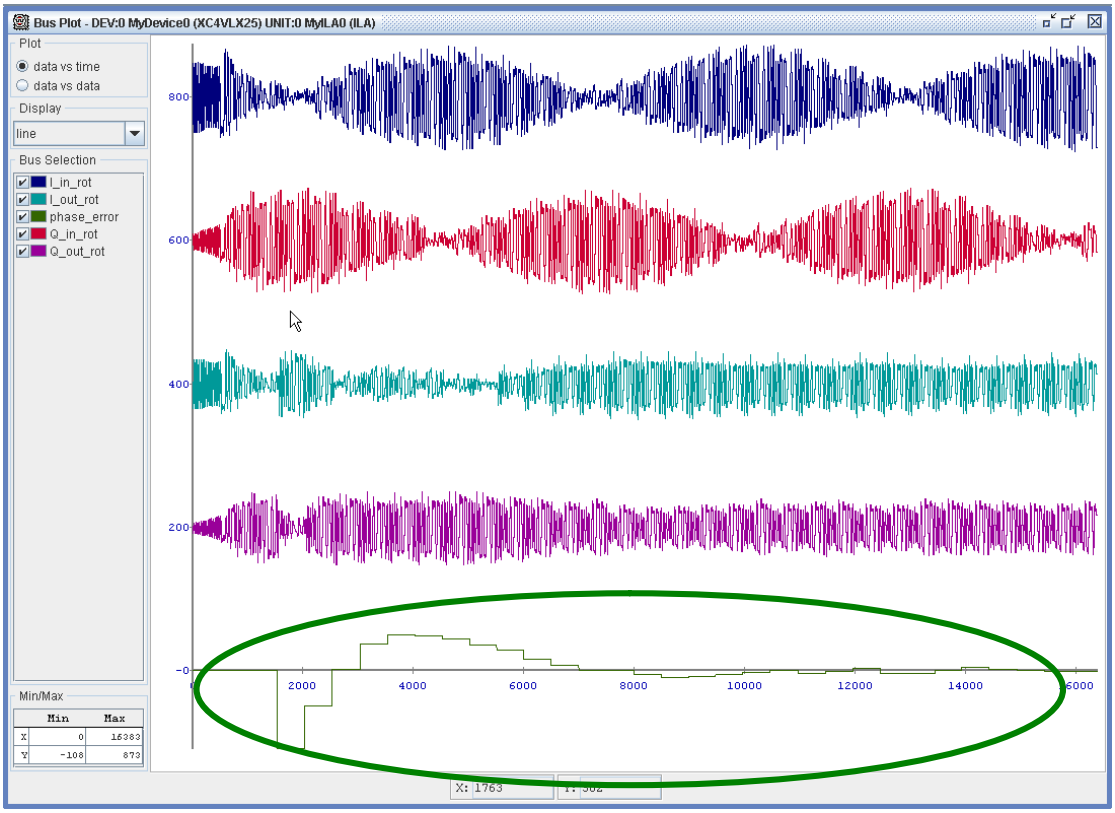
สัญญาณสองอันบนของภาพที่ 34 เป็นสัญญาณอินพุท I และ Q เข้าวงจรหมุนเฟส ส่วนสัญญาณสองอันล่างเป็นสัญญาณเอาต์พุท I และ Q ออกจากวงจรหมุนเฟส วงหมายเลข 1 ในภาพที่ 34 แสดงจุดเริ่มการปรับแก้ความถี่ตกค้างที่คำนวณได้ พร้อมทั้งมีการปรับค่าแกน Q ให้มีค่าใกล้เคียงศูนย์ดังแสดงในสัญญาณล่างสุด และเห็นว่าสัญญาณเอาต์พุท I มีค่านิ่งมากขึ้นซึ่งในตำแหน่งในวงหมายเลข 2 วงจรตรวจจับจุดเริ่มต้นข้อมูลที่ถูกแผ่สเปคตรัมจะพบจุดเริ่มต้นจากสัญญาณเอาต์พุท I



ภาพที่ 34 ตำแหน่งระหว่างการเปลี่ยนจากส่วน pre_1 เป็น pre_2

การแก้ไขเฟสผิดพลาด

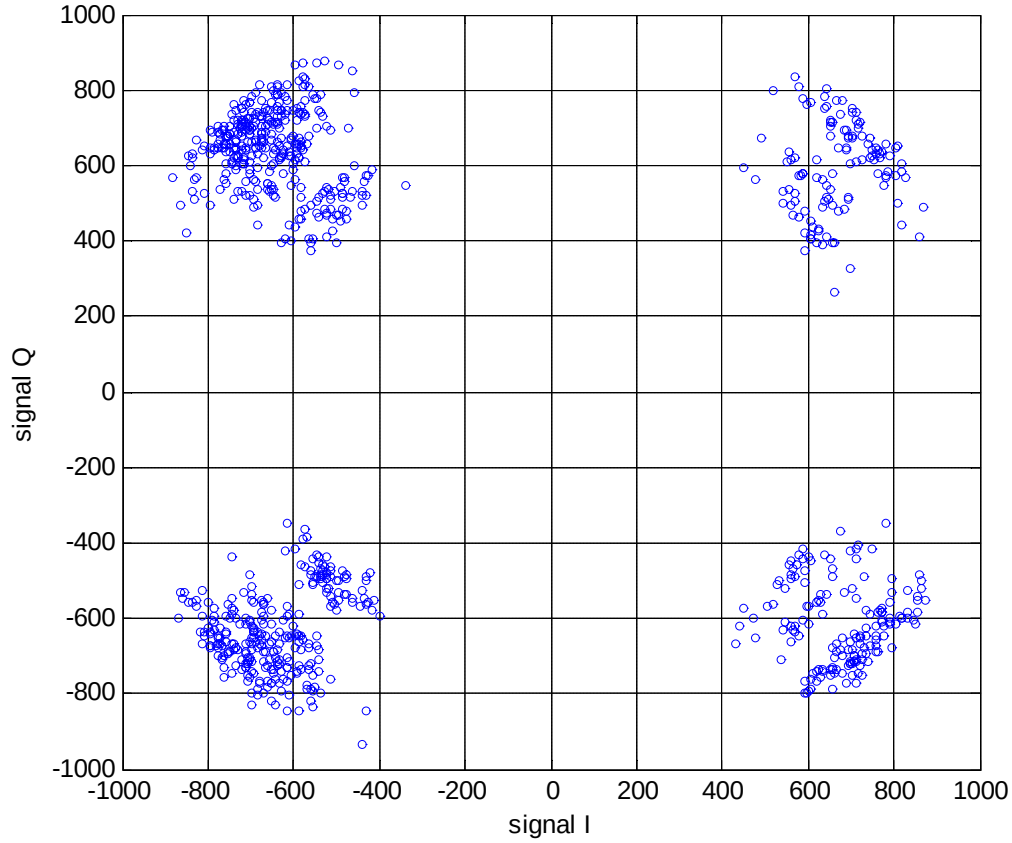
สัญญาณสองอันบนในภาพที่ 35 เป็นสัญญาณ I และ Q เข้าวงจรหมุนเฟส สัญญาณสองอันถัดมาเป็นสัญญาณ I และ Q ออกจากวงจรหมุนเฟส สัญญาณล่างสุดเป็นค่าเฟสผิดพลาดที่คำนวณได้จากวงจรประมาณเฟสผิดพลาด พบว่าค่าเฟสผิดพลาดลู่เข้าศูนย์ตามที่ออกแบบไว้



ภาพที่ 35 ค่าเฟสผิดพลาดที่กำลังลู่เข้าศูนย์

การติดตามเฟสของสัญญาณ

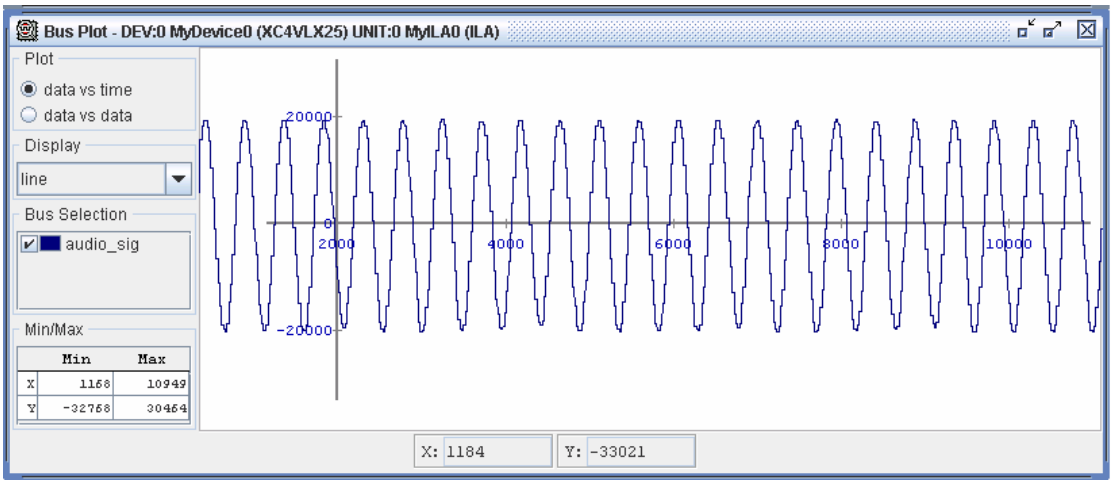
ภาพที่ 36 แสดงแผนภาพดวงดาว(Constellation) ของเอาต์พุทจากวงจรคำนวณค่าสหสัมพันธ์ พบว่าวงจรเข้าจังหวะสามารถรักษาเฟสของสัญญาณไว้ได้โดยมีการแกว่งบ้างแต่ยังสามารถปรับเฟสกลับคืนมาได้



ภาพที่ 36 แผนภาพดวงดาวของค่าเอาต์พุทจากวงจรคำนวณค่าสหสัมพันธ์

การสร้างสัญญาณเสียงกลับมา

สัญญาณเสียงที่สร้างกลับมาใหม่แสดงในภาพที่ 37 ฝั่งส่งรับสัญญาณความถี่ 500 Hz และส่งผ่านสัญญาณวิทยุมายังฝั่งตัวรับแล้วสร้างสัญญาณเสียงกลับมาอีกครั้ง



ภาพที่ 37 สัญญาณเสียงความถี่ 500 Hz ที่สร้างกลับมาใหม่ที่ฝั่งตัวรับ

ทรัพยากรที่ใช้ไปบนวงจรรวม FPGA

ทรัพยากรบนวงจรรวม FPGA ตระกูล Virtex-4 รุ่น 4vlx25sf363-11 ของบริษัท Xilinx ส่วนหลัก ๆ คือ Slice, BRAM และ Multiplier ซึ่งวงจรส่วนต่างๆ ในฝั่งส่งใช้ทรัพยากรบนชิปดังแสดงในตารางที่ 2 และในฝั่งรับแสดงในตารางที่ 3 โดยในบรรทัดสุดท้ายในแต่ละตารางเป็นผลรวมของส่วนต่างๆ หลังจากมีการออปติไมซ์โดยซอฟต์แวร์ ISE ของบริษัท Xilinx แล้ว ซึ่งในส่วน Slice นั้นจะเห็นว่ามีค่าน้อยกว่าส่วนอื่นๆ รวมกัน

ตารางที่ 2 ทรัพยากรที่ใช้ไปในส่วนต่างๆ ในเครื่องฝั่งส่ง

ส่วน	Slices (10,752)	BRAM (72)	Multiplier (48)
AIC23_INF	88	-	-
DAC2932INF	29	-	-
RFINF	44	-	-
APACK	41	1	-
PACK_SP	103	1	-
PSHAPE	398	-	-
TURBO_ENC	70	5	-
RF_TX_CTRL	28	-	-
Total (Optimized)	739	7	-

ตารางที่ 3 ทรัพยากรที่ใช้ไปในส่วนต่างๆ ในเครื่องฝั่งรับ

ส่วน	Slices (10,752)	BRAM (72)	Multiplier (48)
AGC	120	-	-
AIC23_INF	88	-	-
DAC2932INF	29	-	-
ADS5204INF	29	-	-
RFINF	44	-	-
ADEPACK	66	1	-
RRCCPLX	765	-	14
SYNC_UNIT	1,682	2	5
TURBO_DEC	2,124	20	-
FRMN_SYNC	34	-	-
P2S	80	1	-
PAR_INSERTER	35	-	-
PW_AVR	55	-	-
RF_RX_CTRL	40	-	-
Total (Optimized)	5,056	24	19

สรุป

1. วงจรต่าง ๆ ที่ทำงานบนวงจรรวม FPGA สามารถทำงานได้อย่างถูกต้อง

2. ทรัพยากรที่ใช้ไปบนวงจรรวม FPGA ยังคงเหลือเป็นจำนวนมากสามารถขยายระบบและเพิ่มความสามารถของระบบได้อีก

3. การทดสอบเน้นทดสอบส่วนประมวลสัญญาณเบสแบนด์ เช่น วงจรเข้าจังหวะสัญญาณ, วงจรถอดรหัสช่องเทอร์โบ เป็นต้น ไม่ได้เน้นคุณภาพของสัญญาณเสียงที่ได้ เนื่องจากในอนาคตจะมีนำการมาเชื่อมต่อกับวงจรบีบข้อมูลเสียงที่สมบูรณ์กว่านี้

4. ทดสอบบนฮาร์ดแวร์สามารถทำงานได้อย่างถูกต้อง เมื่อพูดใส่ไมโครโฟนของฝั่งส่งที่ฝั่งรับจะมีเสียงออกที่ลำโพง อย่างไรก็ตามเมื่อมีวัตถุไปบดบังฝั่งรับในบางตำแหน่งจะทำให้ฝั่งรับไม่สามารถเข้าจังหวะกับฝั่งส่งได้

เอกสารและสิ่งอ้างอิง

Classen , F., H.Meyr, P.Sehier, “Maximum Likelihood Open Loop Carrier Synchronizer for Digital Radio”. **ICC’93**.

Josie Ammer, M. and Jan Rabaey, “Frequency Offset Estimation With Improved Convergence Time and Energy Consumption,” __,__.

Meyr, H., M. Moeneclaey, and S. A. Fechtel, Digital Communication Receiver: Synchronization, Channel Estimation and Signal Processing, **Wiley Press**, 1998.

Morlet, C., M. Laure Boucheret, “Carrier Recovery Scheme for On-Board Demodulation Suited to Low Eb/N0,” __, p.3432, 1998.

Tavares, G., L. Tavares, and M, Piedade, “Improved Cramer-Rao Lower Bounds for Phase and Frequency Estimation With M-PSK Signals”, **IEEE Transactions on Communications**, Vol. 49, No. 12, December 2001.