บทที่ 5
สรุปผล ปัญหาและข้อเสนอแนะ

งานวิจัยการพัฒนาชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว จัดทำขึ้นเพื่อใช้เป็นชุดทดลองออกแบบวงจรรวมทางด้านดิจิตอลโดยใช้ชิพ CPLD ตระกูล XC9500 เบอร์ XC95108 PC84-15C และตระกูล MAX7000 เบอร์ EPM7128S LC84-15C เป็นอุปกรณ์หลักในการทดลอง ใช้วิธีการออกแบบ 3 วิธี ร่วมกับซอฟต์แวร์ ISE WebPACK 8.1i และ Quartus II Web Edition 9.1 สามารถสรุปผลการวิจัย ปัญหาที่เกิดขึ้น และข้อเสนอแนะการวิจัยครั้งต่อไป ตามรายละเอียดดังนี้

สรุปผลการสร้างชุดทดลองออกแบบวงจรรวมดิจิตอล

ชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว มีทั้งหมด 10 ชุด แต่ละชุดประกอบไปด้วยวงจรย่อย 14 วงจร ได้แก่

- วงจร XC9500 and MAX7000 CPLD
- วงจร ISP (In-System Programming) Download
- วงจร Power Supply
- วงจร 16 Bit Logic Monitor
- วงจร 5x7 Dot Matrix
- วงจร BCD to 7 Segment
- วงจร Direct 7 Segment
- วงจร 8 Bit Input Switch
- วงจร 8 Bit DIP Switch
- วงจร 4x4 Matrix Switch
- วงจร Clock Generator
- วงจร Buzzer Generator
- วงจร Pulse Switch Generator
- วงจร 840 Point Photo Board

ชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว ที่สร้างขึ้นสามารถรองรับการออกแบบวงจรรวมดิจิตอล ภาคปฏิบัติรายวิชาการออกแบบระบบดิจิตอล ได้ครบทุกหัวข้อการทดลอง ซึ่งมีรายละเอียดดังนี้

- การทดลองออกแบบวงจร Combination and Logic
- การทดลองออกแบบวงจร Arithmetic and Logical Unit
- การทดลองออกแบบวงจร Multiplex and Demultiplex
- การทดลองออกแบบวงจร Decoder and Encoder
- การทดลองออกแบบวงจร Latch and Flip-Flop
- การทดลองออกแบบวงจร Synchronous and Asynchronous Counter

ผลการทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัวทั้ง 3 วิธี ด้วยซอฟต์แวร์ ISE WebPACK 8.1i และ Quartus II Web Edition 9.1 ชุดทดลองสามารถทำงานได้ถูกต้องและเปอร์เซ็นต์ความผิดพลาดไม่เกิน ±1% ทุกหัวข้อการทดลอง ผลสรุป ชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว สามารถนำไปประยุกต์ใช้ในการเรียนการสอนที่เกี่ยวกับการออกแบบระบบดิจิตอล ตรงตามวัตถุประสงค์ของโครงการวิจัย

ปัญหาและแนวทางแก้ไข

1. การออกแบบลายวงจรบนแผ่น PCB ที่ใช้ในการรวมวงจรย่อยทั้ง 14 วงจรเข้าด้วยกัน ใช้เวลาในการออกแบบนาน เพราะมีวิธีการเดินลายวงจรรวมกันหลายวิธี แนวทางแก้ไขผู้วิจัยใช้โปรแกรมช่วยเดินลายวงจรเพื่อให้ได้ลายวงจรที่ดีที่สุด
2. การออกแบบวงจรรวมดิจิตอลที่ซับซ้อน ต้องใช้สายต่อวงจรช่วยในการเชื่อมต่อวงจร ทำให้ผลการทดลองอาจมีข้อผิดพลาดจากสายต่อวงจร จึงควรตรวจสอบสายต่อวงจรให้เรียบร้อย

ข้อเสนอแนะเพื่อเป็นแนวทางในการพัฒนา

1. ชิพ CPLD ที่ใช้ในการทดลอง มีข้อจำกัดในการ Download ข้อมูล คือ สามารถทำการ Download ข้อมูลเข้าตัวชิพได้ประมาณ 10,000 ครั้ง ดังนั้นก่อนทำการ Download ข้อมูลลงตัวชิพ ควรใช้โปรแกรม Simulation ทำการตรวจสอบวงจรที่ออกแบบก่อนทำการ Download ข้อมูล เพื่อยืดอายุการใช้งานของชิพ CPLD
2. การเชื่อมต่อวงจรย่อยบนชุดทดลอง ต้องใช้สายต่อวงจรขนาดเล็กในการเชื่อมต่อ ขั้นตอนการถอดสายต่อวงจรออกจากจุดเชื่อมต่อควรถอดอย่างระมัดระวัง เพราะถ้าสายต่อวงจรหักค้างอยู่ภายในจุดเชื่อมต่อ ยากต่อการถอดออก แนวทางแก้ไขคือ ออกแบบลายวงจรบนแผ่น PCB ให้สามารถเลือกการเชื่อมต่อของอุปกรณ์ I/O ภายในวงจรย่อยแต่ละวงจร ได้จากโปรแกรมที่ใช้ในการทดลอง สามารถลดการใช้จุดเชื่อมต่อวงจรให้น้อยลง ทำให้การออกแบบวงจรรวมมีประสิทธิภาพมากขึ้น