บทที่ 4
ผลการวิจัย

ผลการดำเนินงาน

ผลการออกแบบวงจรของชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว ทำให้ได้วงจรย่อย 14 วงจร ประกอบเข้ากันเป็นชุดทดลองฯ ซึ่งมีรายละเอียดแต่ละวงจรย่อยดังต่อไปนี้

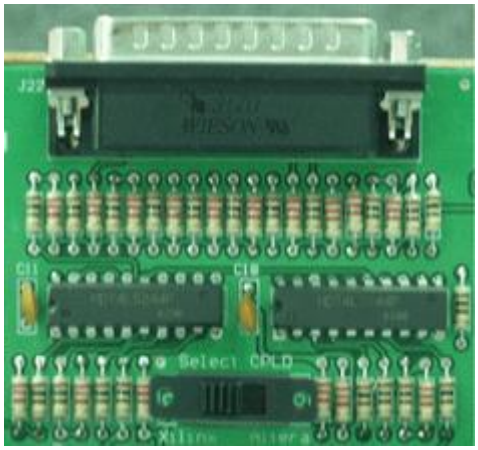
วงจร XC9500 and MAX7000 CPLD

ทำหน้าที่หลักในการออกแบบวงจรรวมดิจิตอล โดยใช้ชิพ CPLD ตระกูล XC9500 เบอร์ XC95108 PC84 -15C ของ Xilinx Inc. และตระกูล MAX7000 เบอร์ EPM7128S LC84 -15C ของ Altera Corporation ซึ่งเป็นชิพที่มีความจุเกต 2,400 และ 2,500 เกต ตามลำดับ สามารถออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัวที่มีความซับซ้อนระดับเบื้องต้นถึงระดับกลางได้อย่างมีประสิทธิภาพ ในวงจรมี Terminal สำหรับต่อวงจร I/O ของชิพกับอุปกรณ์ภายนอกจำนวน 68 และ 69 I/O ตามลำดับ รายละเอียดแสดงดังภาพที่ 44

ภาพที่ 44 วงจร XC9500 and MAX7000 CPLD

วงจร ISP (In-System Programming) Download

ทำหน้าที่ Download ข้อมูลที่ออกแบบโดยคอมพิวเตอร์เข้าตัวชิพ CPLD โดยใช้มาตรฐาน JTAG Boundary Scan (IEEE 1149.1) และในวงจรมีสวิตช์เลือกการ Download ระหว่างชิพ CPLD ของ Xilinx หรือ Altera รายละเอียดแสดงดังภาพที่ 45



ภาพที่ 45 วงจร ISP (In-System Programming) Download

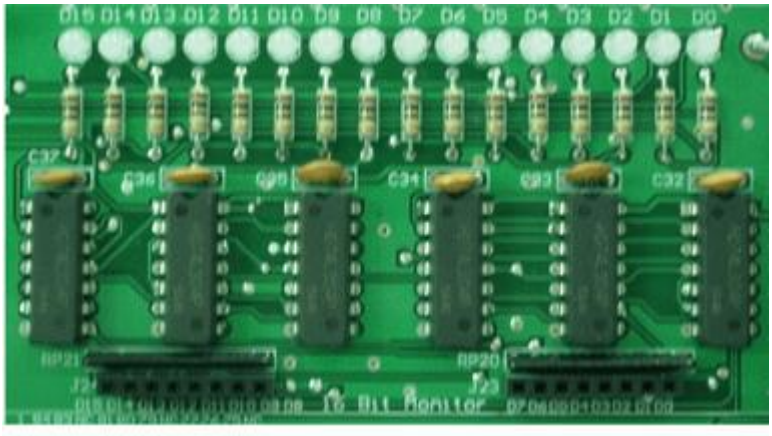
วงจร Power Supply

ทำหน้าที่จ่ายพลังงานให้กับวงจรย่อยทั้งหมดของชุดทดลองออกแบบวงจรรวมดิจิตอล โดยการรับพลังงานจากแหล่งพลังงานภายนอก (Adapter) จากนั้นวงจรทำการแปลงระดับแรงดันไฟฟ้าให้คงที่ที่ระดับ 5 V กระแส 500mA และจ่ายพลังงานให้กับ Terminal วงจรย่อยทุกวงจร รายละเอียดแสดงดังภาพที่ 46

ภาพที่ 46 วงจร Power Supply

วงจร 16 Bit Logic Monitor

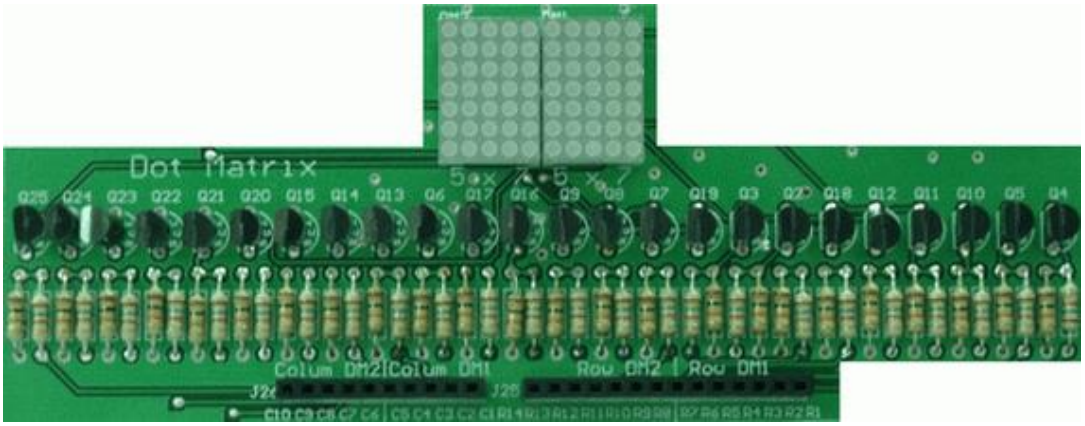
ทำหน้าที่เป็น LED Logic Monitor จำนวน 16 Bit เพื่อแสดงผลสถานะของลอจิก 2 สถานะ คือ สถานะลอจิก 1 (High) แสดงผลได้จาก LED สีแดง, สถานะลอจิก 0 (Low) แสดงผลได้จาก LED สีเขียว และสถานะลอจิกที่เป็น don't Care แสดงผลได้จาก LED สีส้ม ซึ่งแต่ละ Bit จะมี Terminal สำหรับรับลอจิกจากวงจรต่างๆ 16 Terminal แยกเป็น 2 ชุด ชุดละ 8 Terminal รายละเอียดแสดงดังภาพที่ 47



ภาพที่ 47 วงจร 16 Bit Logic Monitor

วงจร 5 x7 Dot Matrix

ทำหน้าที่แสดงผลสำหรับ LED 70 ตำแหน่ง ซึ่งวางเรียงกันในลักษณะ Matrix ขนาด 5x7 จำนวน 2 หลัก แต่ละตำแหน่งแยกการทำงานเป็นอิสระ ใช้ทรานซิสเตอร์เบอร์ BC458 ช่วยในการแสดงผล วงจรมี Terminal สำหรับรับลอจิกจากวงจรต่างๆ 2 ชุด คือ Row Terminal ใช้รับลอจิกมาแสดงผลแบบ Row จำนวน 14 Bit (7+7) และ Column Terminal ใช้รับลอจิกมาแสดงผลแบบ Column จำนวน 10 Bit (5+5) รายละเอียดแสดงดังภาพที่ 48



ภาพที่ 48 วงจร 5x7 Dot Matrix

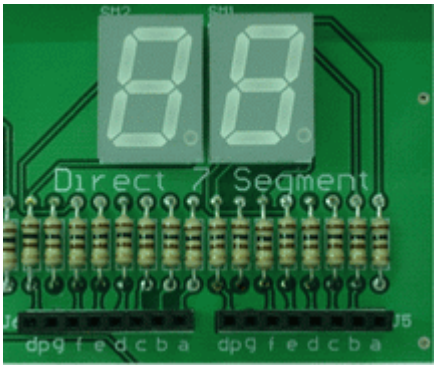
วงจร BCD to 7 Segment

ทำหน้าที่แสดงผลที่ 7 Segment โดยรับข้อมูลลอจิกแบบ BCD (Binary Coded Decimal) ซึ่งเป็นข้อมูลแบบเลขฐาน 2 จากนั้นจะนำข้อมูลมาถอดรหัสโดยใช้ไอซีเบอร์ 74 LS48 และนำมาแสดงผลที่ 7 Segment จำนวน 2 หลัก สามารถถอดรหัสได้ 16 Bit แสดงเป็นตัวเลขและตัวอักษรดังนี้ คือ 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, b, C, d, E และ F รายละเอียดแสดงดังภาพที่ 49

ภาพที่ 49 วงจร BCD to 7 Segment

วงจร Direct 7 Segment

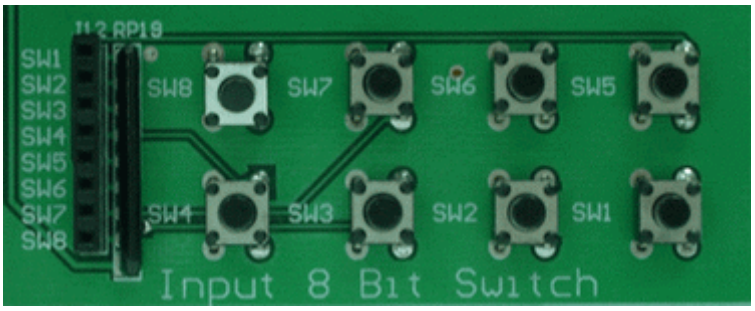
ทำหน้าที่แสดงผลที่ 7 Segment โดยรับลอจิกจากวงจรต่างๆ ทาง Terminal ซึ่งมี 2 ชุด โดยแต่ละชุดจะต่อตรงกับแต่ละส่วนของ 7 Segment ที่มีจำนวน 2 หลัก รายละเอียดแสดงดังภาพที่ 50



ภาพที่ 50 วงจร Direct 7 Segment

วงจร 8 Bit Input Switch

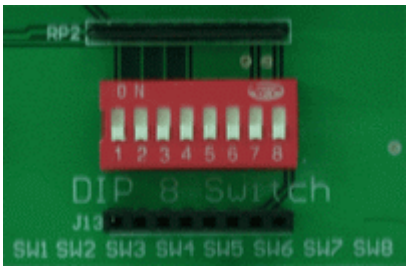
ทำหน้าที่สร้างสภาวะลอจิกแบบ 8 Bit โดยที่ สภาวะลอจิก 1 (High) เกิดจากการปล่อยสวิตช์ และสภาวะลอจิก 0 (Low) เกิดจากการกดสวิตช์ ซึ่งถ้าจ่ายแรงดันเข้าวงจรจะมีสภาวะลอจิก 1 ตลอดทุกเอาต์พุต เนื่องจากมีการปล่อยสวิตช์ รายละเอียดแสดงดังภาพที่ 51



ภาพที่ 51 วงจร 8 Bit Input Switch

วงจร 8 Bit DIP Switch

ทำหน้าที่สร้างสภาวะลอจิกแบบ 8 Bit โดยที่ สภาวะลอจิก 1 (High) เกิดจากการเลื่อน DIP Switch ไปที่ตำแหน่ง ON และสภาวะลอจิก 0 (Low) เกิดจากการเลื่อน DIP Switch ไปที่ตำแหน่ง OFF ซึ่งถ้าจ่ายแรงดันเข้าวงจรจะมีสภาวะลอจิก 0 ตลอดทุกเอาต์พุต เนื่องจากตำแหน่งของสวิตช์อยู่ตำแหน่ง OFF รายละเอียดแสดงดังภาพที่ 52

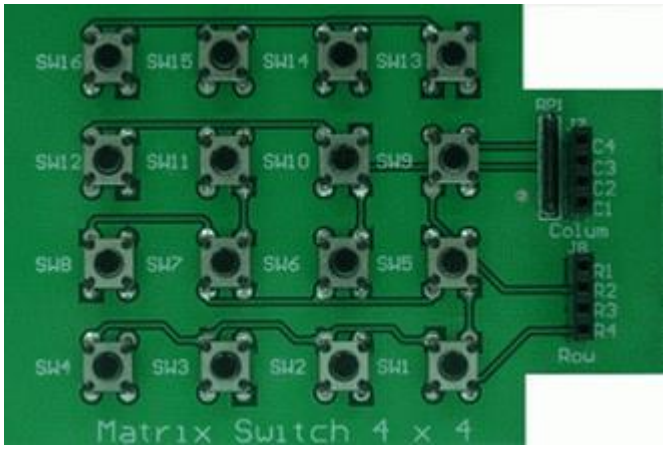


ภาพที่ 52 วงจร 8 Bit DIP Switch

วงจร 4 x4 Matrix Switch

ทำหน้าที่จำลองสภาวะการกดสวิตช์แบบการ Scan เนื่องจากสวิตช์แต่ละตัวเชื่อมต่อกันในลักษณะ Matrix ซึ่งในวงจรจะมี Terminal 2 ชุด ชุดที่ 1 เป็น Terminal ที่เชื่อมต่อด้านซ้ายของสวิตช์ทั้งหมดเข้าด้วยกัน โดยแบ่งการเชื่อมต่อเป็น 1 Terminal ต่อ 4 สวิตช์ และชุดที่ 2 เป็น Terminal ที่

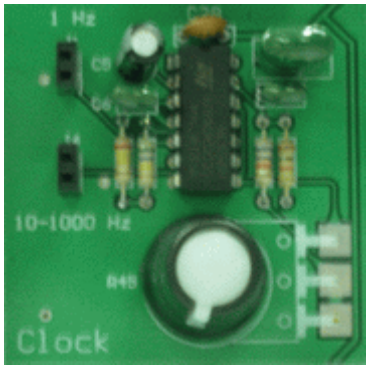
เชื่อมต่อด้านขวาของสวิตช์ทั้งหมดเข้าด้วยกัน โดยแบ่งการเชื่อมต่อเป็น 1 Terminal ต่อ 4 สวิตช์ ฉะนั้นอาจกล่าวได้ว่าตำแหน่งของการกดสวิตช์ต่างๆ ได้จากการออกแบบวงจรหรือการเขียนโปรแกรมเพื่อตรวจสอบค่าการกดสวิตช์ทางด้าน Low และ Column ทำให้ผู้ออกแบบสามารถประยุกต์ใช้งานได้อย่างหลากหลาย รายละเอียดแสดงดังภาพที่ 53



ภาพที่ 53 วงจร 4x4 Matrix Switch

วงจร Clock Generator

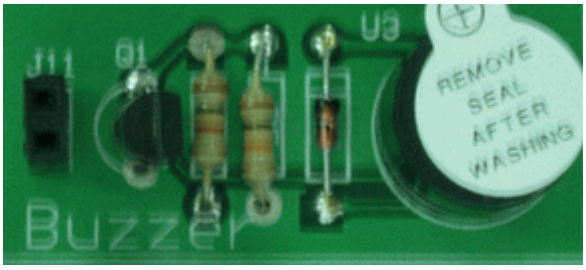
ทำหน้าที่กำเนิดสัญญาณนาฬิกา โดยใช้ไอซีเบอร์ NE556N ซึ่งสามารถกำเนิดสัญญาณนาฬิกาได้ 2 รูปแบบ คือ สัญญาณนาฬิกาแบบความถี่คงที่ มีค่าความถี่ทางด้านเอาต์พุตเท่ากับ 1 Hz และสัญญาณนาฬิกาแบบปรับความถี่ได้ มีค่าความถี่ทางด้านเอาต์พุตเท่ากับ 10-1,000 Hz โดยการปรับความถี่ทำได้โดยการปรับค่า VR 500K ที่มีอยู่ในวงจร รายละเอียดแสดงดังภาพที่ 54



ภาพที่ 54 วงจร Clock Generator

วงจร Buzzer Generator

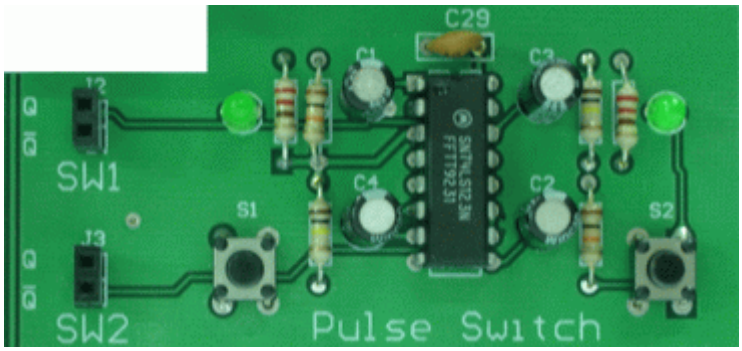
ทำหน้าที่กำเนิดสัญญาณเสียง โดยใช้ Buzzer ซึ่งการกำเนิดสัญญาณเสียงทำได้โดยการส่งสภาวะลอจิกเข้าไปที่ Terminal หากมีสภาวะลอจิก 1 (High) ส่งไป Buzzer จะกำเนิดสัญญาณเสียง และหากมีสภาวะลอจิก 0 (Low) ส่งไป Buzzer จะหยุดกำเนิดสัญญาณเสียง รายละเอียดแสดงดังภาพที่ 55



ภาพที่ 55 วงจร Buzzer Generator

วงจร Pulse Switch Generator

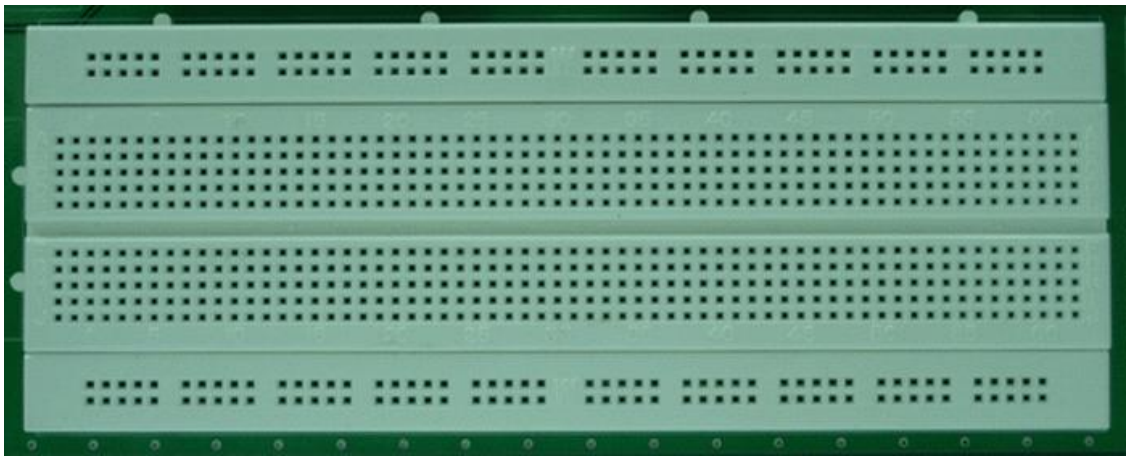
ทำหน้าที่สร้างสัญญาณ Pulse 1 Cycle สามารถทำได้โดยการกดสวิตช์หรือไม่กดสวิตช์ หลักการทำงาน คือ ในวงจรจะมีไอซีสร้างสัญญาณ Pulse เบอร์ DM74LS123A ซึ่งให้สภาวะเอาต์พุต 2 สภาวะ คือ Q และ $\overline{Q}$ ถ้าไม่มีการกดสวิตช์จะมีสัญญาณ Pulse ที่เอาต์พุต $\overline{Q}$ แต่ถ้ามีการกดสวิตช์จะมีสัญญาณ Pulse ที่เอาต์พุต Q และมีการแสดงผลที่ LED สีเขียว ซึ่งในวงจรจะมีชุดกำเนิดสัญญาณ Pulse 2 ชุด รายละเอียดแสดงดังภาพที่ 56



ภาพที่ 56 วงจร Pulse Switch Generator

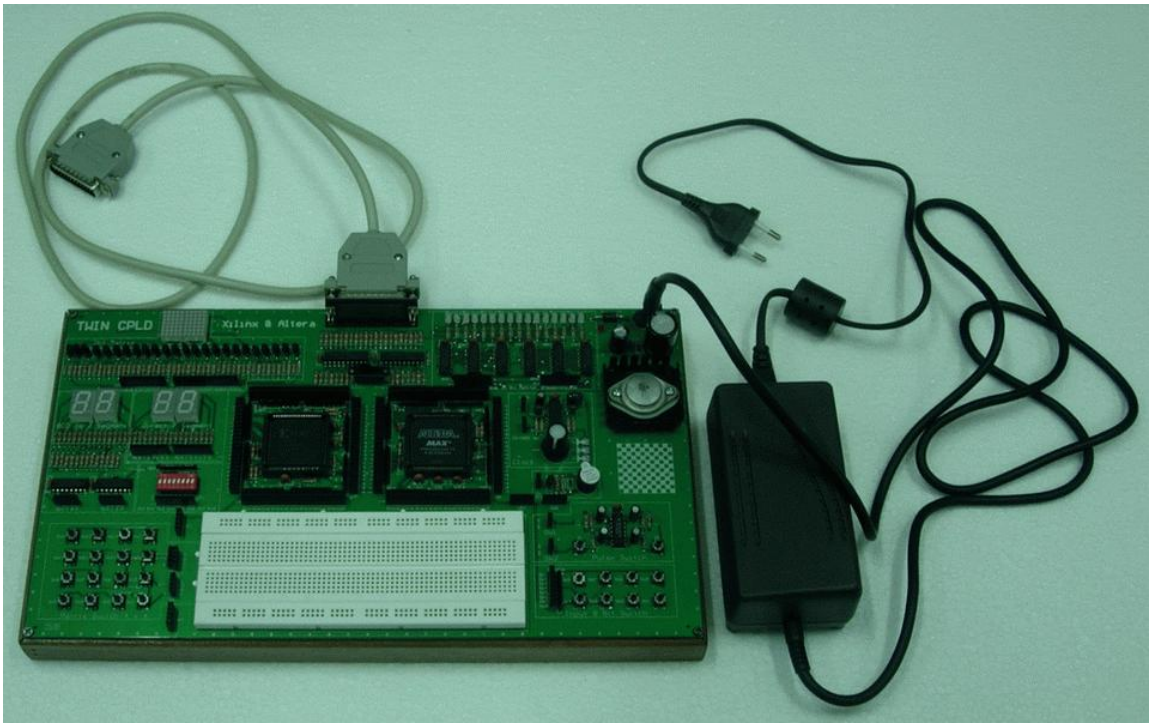
วงจร 840 Point Photo Board

ทำหน้าที่สำหรับใช้ในการต่อวงจรทดลองต่างๆ ที่นอกเหนือจากวงจรในชุดทดลอง ซึ่งใช้ Photo Board ขนาด 17x6.5 cm. มีพื้นที่สำหรับต่อวงจร 840 จุด รายละเอียดแสดงดังภาพที่ 57



ภาพที่ 57 วงจร 840 Point Photo Board

เมื่อดำเนินการออกแบบและสร้างวงจรย่อยทั้ง 14 วงจรเป็นที่เรียบร้อย จึงนำวงจรย่อยทั้ง 14 วงจรมาเชื่อมต่อกันเป็นชุดทดลองออกแบบวงจรรวมดิจิตอลต้นแบบ ดังแสดงในภาพที่ 58 ซึ่งมีทั้งชุดทดลอง, สาย Download ข้อมูล และสายไฟ พร้อมวงจรปรับระดับแรงดันและกระแสไฟฟ้าในตัว ซึ่งเป็นชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัวต้นแบบ พร้อมนำไปบรรจุ Package ที่เป็น PVC เพื่อความสะดวกในการใช้งาน และทดสอบการออกแบบวงจรรวมในขั้นตอนต่อไป



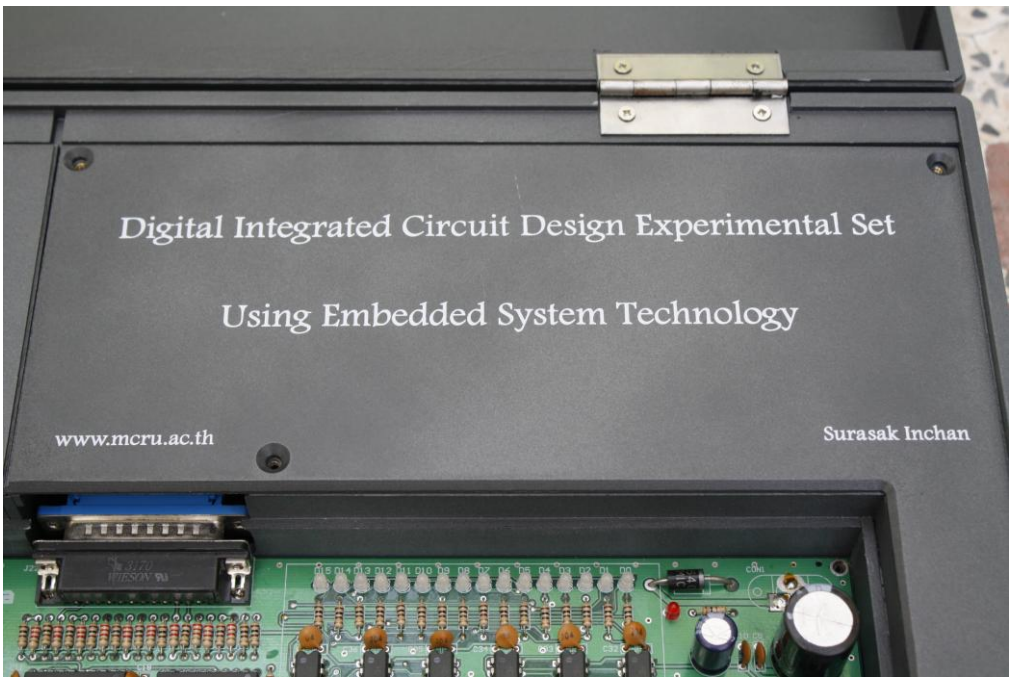
ภาพที่ 58 ชุดทดลองออกแบบวงจรรวมดิจิตอลต้นแบบ

การออกแบบ Package

เมื่อได้ชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัวต้นแบบ ตามแสดงในภาพที่ 58 เรียบร้อย ผู้วิจัยจึงออกแบบ Package สำหรับบรรจุชุดทดลอง พร้อมอุปกรณ์ต่อร่วมในการทดลอง เพื่อให้มีความสะดวกเรียบร้อยในการเคลื่อนย้าย เหมาะกับการทดลองในห้องปฏิบัติการ ตามรายละเอียดดังภาพที่ 59-68 จึงได้ชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัวที่สมบูรณ์ จำนวน 10 ชุด พร้อมนำไปทดสอบการทำงานของวงจร เริ่มต้นด้วยการออกแบบ Package โดยใช้วัสดุประเภท PVC โดยมีรายละเอียดดังต่อไปนี้ ภาพที่ 59-60 คือพื้นที่สำหรับสายต่อวงจรทั้งหมด แบ่งเป็น 2 ช่องเท่าๆกัน สามารถเปิด-ปิดกล่องสำหรับบรรจุภัณฑ์ได้ ภาพที่ 61-63 คือพื้นที่สำหรับ Adapter และสายเชื่อมต่อสำหรับ DB25 สามารถเปิด-ปิดกล่องสำหรับบรรจุภัณฑ์ได้ ภาพที่ 64-66 คือชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัวที่สมบูรณ์ พร้อมนำไปทดสอบการทำงานของวงจรทั้งหมด ภาพที่ 67 เป็นการเปรียบเทียบรูปร่างลักษณะของชุดทดลองต้นแบบกับชุดทดลองที่สมบูรณ์ และ ภาพที่ 68 คือชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว จำนวน 10 ชุด พร้อมนำไปประยุกต์ใช้ในการเรียนการสอนที่เกี่ยวกับการออกแบบระบบดิจิตอล

ภาพที่ 59 ฝาครอบกล่องสำหรับจัดเก็บสายต่อวงจร

ภาพที่ 60 กล่องสำหรับจัดเก็บสายต่อวงจร



ภาพที่ 61 ฝาครอบกล่องสำหรับจัดเก็บ Adapter และสายเชื่อมต่อ DB25

ภาพที่ 62 กล่องสำหรับจัดเก็บ Adapter และสายเชื่อมต่อ DB25

ภาพที่ 63 Package สำหรับเชื่อมต่ออุปกรณ์ต่อพ่วง

ภาพที่ 64 พื้นที่ใช้งานชุดทดลองออกแบบวงจรรวมดิจิตอล

ภาพที่ 65 การประกอบตัวล็อคและชุดจับ Package

ภาพที่ 66 Package สำหรับชุดทดลองออกแบบวงจรรวมดิจิตอล

ภาพที่ 67 เปรียบเทียบ Package ชุดทดลองต้นแบบและชุดทดลองที่สมบูรณ์

ภาพที่ 68 ชุดทดลองออกแบบวงจรรวมดิจิตอล จำนวน 10 ชุด

ผลการทดลอง

นำชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัวไปทดสอบร่วมกับซอฟต์แวร์ที่ใช้สำหรับออกแบบวงจรรวม ในที่นี้ผู้วิจัยเลือกใช้ซอฟต์แวร์ของผู้ผลิตชิพ CPLD เป็นซอฟต์แวร์ที่นำเทคโนโลยีระบบสมองกลฝังตัวมาใช้ในการออกแบบวงจรรวมดิจิตอล สามารถ Download ไปใช้ได้ฟรี คือ ISE WebPACK 8.1i ของ Xilinx Inc. และ Quartus II Web Edition 9.1 ของ Altera Corporation การทดสอบวงจรทั้งหมดของชุดทดลองออกแบบวงจรรวมดิจิตอล ในที่นี้ อ้างอิงจากภาคปฏิบัติรายวิชาการออกแบบระบบดิจิตอล ซึ่งมีหัวข้อการทดลองร่วมกับวงจรต่างๆ ของชุดทดลองแสดงในตารางที่ 4 โดยมีวงจรย่อย 3 วงจรที่ต้องใช้สำหรับทุกการทดลอง คือ วงจร Power Supply, วงจร ISP (In-System Programming) Download และ วงจร XC9500 and MAX7000 CPLD โดยมีวงจร 840 Point Photo Board เป็นวงจรสำรองในกรณีที่ต้องใช้สายต่อวงจรและพื้นที่ต่อวงจรเพิ่มเติม

ตารางที่ 4 ความสัมพันธ์ระหว่างหัวข้อการทดลองกับวงจรย่อยที่ใช้ในการทดลอง

หัวข้อการทดลอง	วงจรย่อยที่ใช้ในการทดลอง
Combination and Logic	1. วงจร 16 Bit Logic Monitor
	2. วงจร 8 Bit DIP Switch
Arithmetic and Logical Unit	1. วงจร 16 Bit Logic Monitor
	2. วงจร 8 Bit DIP Switch
	3. วงจร 4x4 Matrix Switch
Multiplex and Demultiplex	1. วงจร 16 Bit Logic Monitor
	2. วงจร 8 Bit DIP Switch
	3. วงจร 8 Bit Input Switch
Decoder and Encoder	1. วงจร 16 Bit Logic Monitor
	2. วงจร 5x7 Dot Matrix
	3. วงจร BCD to 7 Segment
	4. วงจร Direct 7 Segment
	5. วงจร 8 Bit DIP Switch
	6. วงจร 8 Bit Input Switch

ตารางที่ 4 ความสัมพันธ์ระหว่างหัวข้อการทดลองกับวงจรย่อยที่ใช้ในการทดลอง (ต่อ)

หัวข้อการทดลอง	วงจรย่อยที่ใช้ในการทดลอง
Latch and Flip-Flop	1. วงจร 16 Bit Logic Monitor
	2. วงจร 8 Bit DIP Switch
	3. วงจร Clock Generator
	4. วงจร Pulse Switch Generator
Synchronous and Asynchronous Counter	1. วงจร 16 Bit Logic Monitor
	2. วงจร 5x7 Dot Matrix
	3. วงจร BCD to 7 Segment
	4. วงจร Clock Generator
	5. วงจร Buzzer Generator
	6. วงจร Pulse Switch Generator

ทดลองออกแบบวงจรรวมดิจิตอลตามใบงานที่กำหนดไว้ในแต่ละหัวข้อการทดลองหลัก ออกแบบโดยใช้เทคโนโลยีระบบสมองกลฝังตัว 3 วิธี คือ วีธีการเขียนวงจร หรือ Schematic, วิธีการเขียนโปรแกรม VHDL [(**V**HSIC: Very High Speed Integrated Circuit) **H**ardware **D**escription **L**anguage] วิธีนี้คล้ายการเขียนโปรแกรมภาษา PASCAL และวิธีการเขียนโปรแกรม Verilog HDL (**Verilog H**ardware **D**escription **L**anguage) วิธีนี้คล้ายการเขียนโปรแกรมภาษา C ตารางที่ 5 แสดงเปอร์เซ็นต์ความผิดพลาดจากการทดลองออกแบบวงจรรวมดิจิตอล โดยอ้างอิงค่าที่ถูกต้องจากทฤษฎีการออกแบบวงจรรวมดิจิตอล เปอร์เซ็นต์ความผิดพลาดที่ยอมรับได้ต้องมีค่าไม่เกิน $\pm$1% จึงถือว่าวงจรรวมดิจิตอลที่ออกแบบนั้นสามารถนำไปประยุกต์ใช้งานได้

ตารางที่ 5 เปอร์เซ็นต์ความผิดพลาดจากการทดลองออกแบบวงจรรวมดิจิตอลทั้ง 3 วิธี

หัวข้อการทดลอง	เปอร์เซ็นต์ความผิดพลาด			หมายเหตุ
	SCH	VHDL	Verilog	
Combination and Logic				
- Logic Gate	-	-	-	-
Arithmetic and Logical Unit				
- Half and Full Adder	-	-	-	-
- Half and Full Sub tractor	-	-	-	-
Multiplex and Demultiplex				
- Multiplex	-	-	-	-
- Demultiplex	-	-	-	-
Decoder and Encoder				
- Decoder	-	-	-	-
- Encoder	-	-	-	-
- BCD to 7 Segment	-	-	-	-
- 5x7 Dot Matrix Application	0.2%	0.1%	0.1%	ยอมรับได้
- 4x4 Matrix Switch Application	0.1%	-	-	ยอมรับได้
Latch and Flip-Flop				
- Comparator	-	-	-	-
- Shift Register	0.2%	-	-	ยอมรับได้
- Clock Divider	-	-	-	-
Synchronous and Asynchronous Counter				
- Synchronous Counter	-	-	-	-
- Asynchronous Counter	-	-	-	-
- Up-Down Counter Application	0.1%	-	-	ยอมรับได้

ผลการทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัวทั้ง 3 วิธี ด้วยซอฟต์แวร์ ISE WebPACK 8.1i และ Quartus II Web Edition 9.1 ชุดทดลองสามารถทำงานได้ถูกต้องและเปอร์เซ็นต์ความผิดพลาดไม่เกิน ±1% ทุกหัวข้อการทดลอง ผลสรุป ชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว สามารถนำไปประยุกต์ใช้ในการเรียนการสอนที่เกี่ยวกับการออกแบบระบบดิจิตอล ตรงตามวัตถุประสงค์ของโครงการวิจัย