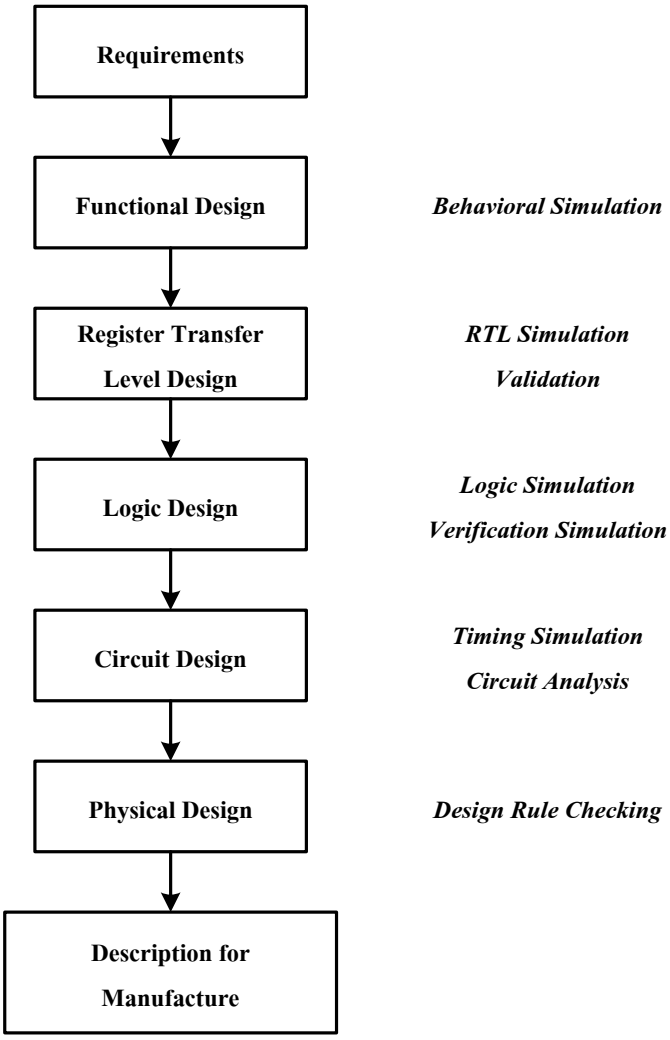
บทที่ 2
ทฤษฎีและงานวิจัยที่เกี่ยวข้อง

ทฤษฎีหรือกรอบแนวความคิดที่เกี่ยวข้องกับการวิจัย

การวิจัยครั้งนี้ ผู้วิจัยใช้กรอบแนวความคิดทางทฤษฎีของการออกแบบจากบนลงล่าง (Top-Down Design) เป็นพื้นฐานสำคัญในการสร้างชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว มีรายละเอียดดังต่อไปนี้



ภาพที่ 1 กระบวนการออกแบบจากบนลงล่าง

การออกแบบจากบนลงล่าง (Top-Down Design) คือ กระบวนการที่ใช้ในการออกแบบระบบดิจิตอลในปัจจุบัน โดยมีขั้นตอนต่างๆ ดังแสดงในภาพที่ 1 เริ่มต้นจากการวางข้อกำหนดคุณลักษณะของระบบที่ต้องการไปจนถึงการทำให้เกิดผลทางกายภาพเป็นชิพที่ใช้งานได้จริง (ชำนาญ ปัญญาใส และวัชรากร หนูทอง : 2547) ในที่นี้จะยกตัวอย่างการออกแบบวงจรรวมเฉพาะงาน (ASIC) สำหรับประมวลผลภาพดิจิตอล (Digital Image Processor) เพื่อใช้อธิบายกระบวนการดังกล่าว

ในขั้นตอนแรก คือ การวางข้อกำหนดคุณลักษณะของระบบ (Requirements) ทั้งด้านสมรรถนะและด้านกายภาพ เช่น จำนวนภาพที่ระบบสามารถประมวลได้ในหนึ่งวินาที , การดำเนินการต่อรูปภาพ, ข้อกำหนดเรื่องส่วนต่อประสาน, ราคาต้นทุน, ขนาด และการสูญเสียกำลังเป็นความร้อน ข้อกำหนดเหล่านี้สามารถออกแบบเชิงหน้าที่ระดับสูง (High-Level Functional Design) ในเบื้องต้นได้ ซึ่งต้องอาศัยการจำลองการทำงาน (Simulation) เพื่อดูว่าระบบที่ออกแบบไว้ทำงานสอดคล้องกับข้อกำหนดต่างๆ หรือไม่ เพื่อแก้ไขให้สอดคล้องในที่สุด

เมื่อเสร็จสิ้นการออกแบบเชิงหน้าที่ (Functional Design) แล้ว ขั้นต่อไปคือ การใส่รายละเอียดลงไปในระดับหน่วยบันทึก (Register) หน่วยความจำ (Memory) หน่วยคำนวณและตรรกะ (ALU) และเครื่องสถานะ (State Machine) เราเรียกการออกแบบในระดับนี้ว่า Register Transfer Level หรือ RTL หลังการออกแบบในระดับ RTL จะเป็นการออกแบบในระดับตรรกะ (Logic Design) ซึ่งเป็นการเพิ่มเติมรายละเอียดให้กับหน่วยต่างๆ ที่เป็นส่วนประกอบของการออกแบบ ในระดับ RTL เช่น การกำหนดในรายละเอียดว่า Register ตัวหนึ่งจะประกอบด้วย ฟลิปฟลอป และลอจิกเกตแบบใด จำนวนเท่าใด เป็นต้น การออกแบบในระดับ RTL และระดับลอจิกต้องมีการจำลองการทำงานควบคู่ไปด้วยเช่นกัน เหมือนการออกแบบระดับ Functional

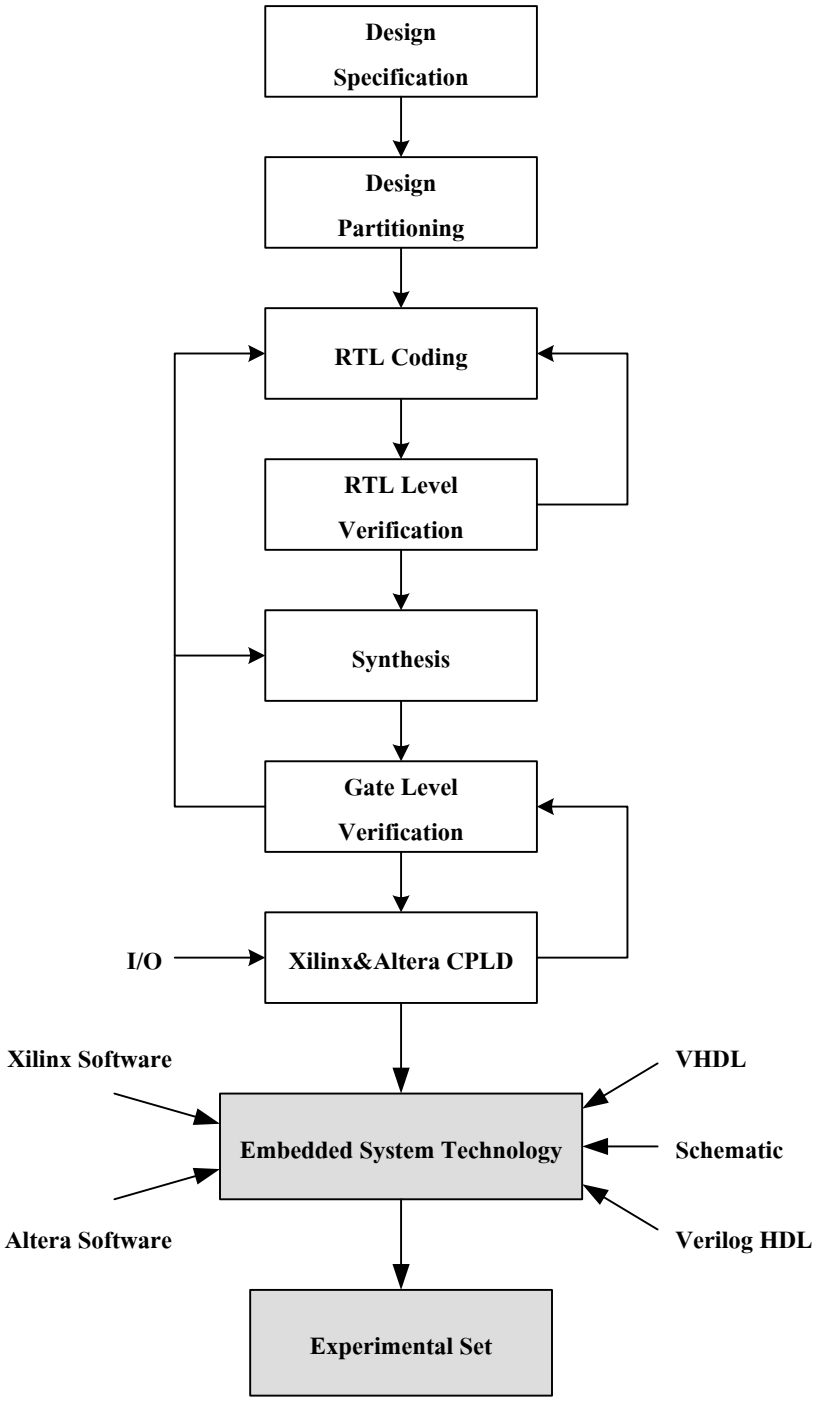
ในบางระบบ นอกจากการจำลองเชิงตรรกะ (Logic Simulation) แล้ว อาจมีการจำลองเพื่อหาข้อบกพร่องของวงจรหรือระบบด้วย Fault Simulation สามารถจำลองผลกระทบที่เกิดจากข้อบกพร่องในกระบวนการผลิต รวมถึงข้อบกพร่องที่เกิดจากการเหนี่ยวนำของสิ่งแวดล้อม เช่น กรณีที่มีผู้นำชิพประมวลผลภาพไปใช้บนดาวเทียม รังสีต่างๆ ในอวกาศอาจเหนี่ยวนำให้วงจรบนชิพเปลี่ยนสถานะโดยไม่ต้องการ ทำให้เกิดความผิดพลาด เช่น Single-bit error ได้ ซึ่งถ้าอัตราความผิดพลาดบิตสูงเกินไป อาจปรับแก้งานออกแบบให้ทนต่อข้อบกพร่องด้วยเทคนิคต่างๆ ได้

ขั้นตอนสองขั้นสุดท้าย คือการออกแบบในระดับวงจร (Circuit Design) และการออกแบบในระดับกายภาพ (Physical Design) การออกแบบในระดับวงจร คือการแปลงลอจิกเกต และฟลิปฟลอปต่างๆ ให้กลายเป็นทรานซิสเตอร์ ซึ่งในขั้นตอนนี้จะมีการวิเคราะห์วงจร และการจำลองเชิง

เวลา (Timing Simulation) ควบคู่กันไปด้วย เพื่อตรวจสอบว่าวงจรและระบบที่ออกแบบยังทำงานสอดคล้องกับข้อกำหนดต่างๆ ที่ตั้งไว้ในตอนแรกหรือไม่

การออกแบบในระดับกายภาพ หรือระดับล่างสุด คือการออกแบบผังภูมิ (Layout) ของวงจรรวมที่ออกแบบไว้ โดยการแปลงทรานซิสเตอร์ต่างๆ ให้เป็นรูปเหลี่ยมและลายเส้นที่เป็นสีสันแทนวัตถุชั้นต่างๆ ตามกระบวนการผลิตชิพวงจรรวม ภายหลังการออกแบบจะมีการตรวจสอบความถูกต้องตามกฎการออกแบบ การสกัดค่าพารามิเตอร์ต่างๆ และการจำลองในระดับวงจร เช่น Timing Simulation โดยนำค่าพารามิเตอร์ที่สกัดได้มาประกอบการคำนวณ ในขั้นนี้สามารถประเมินคุณสมบัติทางกายภาพที่ถูกต้องได้ เช่น พื้นที่ชิพและกำลังที่สูญเสียเป็นความร้อน

การแบ่งระดับชั้นของการออกแบบนี้ เราเรียกแต่ละระดับว่า ระดับของการกำหนดสาระสำคัญ (Level of Abstraction) การกำหนดสาระสำคัญในระดับสูงจะประกอบด้วยส่วนประกอบที่ซับซ้อน เช่น วงจรบวก (Adder) และหน่วยความจำ (Memory) ตรงข้ามกับการกำหนดสาระสำคัญในระดับล่าง ที่จะประกอบด้วยส่วนประกอบจำนวนมากที่ไม่ซับซ้อน เช่น เกต และทรานซิสเตอร์ โดยทั่วไปกระบวนการออกแบบจะเป็นไปในลักษณะจากบนลงล่าง หลักการออกแบบจากบนลงล่างตามที่กล่าวมาข้างต้น ผู้วิจัยเห็นว่างานวิจัยครั้งนี้สอดคล้องกับการออกแบบในลักษณะดังกล่าว ผู้วิจัยจึงยึดหลักแนวความคิดดังกล่าวเพื่อใช้ในการสร้างชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว ดังรายละเอียดต่อไปนี้



ภาพที่ 2 กระบวนการพัฒนาชุดทดลองออกแบบวงจรรวมดิจิตอล

กรอบแนวความคิดในการออกแบบจะใช้กระบวนการออกแบบจากบนลงล่าง โดยเริ่มต้นจากการรับข้อกำหนดคุณสมบัติของชิพ (Design Specification) เพื่อจะนำไปประยุกต์ใช้งาน มีอินพุตอะไรบ้าง เอาต์พุตอะไรบ้าง จากนั้นแบ่งวงจรออกตามหน้าที่การทำงาน (Design

Partitioning) กำหนดวงจรที่ออกแบบมีงานย่อยๆ อะไรบ้าง เพื่อที่จะได้ออกแบบวงจรสำหรับส่วนย่อยๆ นั้น ต่อจากนั้นจึงทำการออกแบบรายละเอียดของแต่ละวงจรย่อยโดยการโค้ดเป็น HDL ในระดับ RTL (RTL Coding) เพื่อนำไปทำการสังเคราะห์วงจร

นอกจากจะใช้ HDL ช่วยในการออกแบบวงจรในระดับ RTL แล้ว ยังใช้ HDL สร้างสิ่งแวดล้อม (Test bench) สำหรับตรวจสอบความถูกต้องของวงจร (RTL Level Verification) เช่น สร้างชุดอินพุตให้กับวงจร RTL ที่ออกแบบในเวลาต่างๆ เพื่อนำไปใช้กับโปรแกรมจำลองการทำงาน เพื่อจะได้ตรวจสอบว่าได้ผลตรงกับข้อกำหนด (Specification) หรือไม่ ซึ่งถ้าตรวจสอบแล้วยังมีข้อผิดพลาด จะต้องกลับไปแก้ไขวงจรและตรวจสอบความถูกต้องจนได้วงจรที่ถูกต้องตรงตามที่ต้องการ

เมื่อได้วงจรที่ทำงานถูกต้องแล้วจึงนำวงจรในระดับ RTL ที่ออกแบบไปทำการสังเคราะห์วงจร (Synthesis) ด้วยโปรแกรมสังเคราะห์วงจร (Synthesis Tool) เพื่อแปลงวงจรระดับ RTL ที่ออกแบบให้เป็นวงจรระดับเกตพื้นฐาน ที่ประกอบด้วยเกตพื้นฐานของเทคโนโลยีวงจรรวมที่ต้องการใช้ (Gate Net list) ในลักษณะของ CPLD

หลังจากที่ได้วงจรในระดับเกต (Gate Net list) อาจทำการตรวจสอบความถูกต้องของวงจรในระดับเกต (Gate Level Verification) ด้วยการให้โปรแกรมสังเคราะห์วงจรสร้างวงจรในระดับเกตขึ้นมา เพื่อจะได้นำมาทำการ Simulation อีกครั้ง ต่อจากนั้นจึงนำวงจรในระดับเกตไปทำการวางและต่อเชื่อม (Place Route) ตามเทคโนโลยีที่ใช้สังเคราะห์ แล้วนำไปจำลองการทำงาน โดยใช้ชุดอินพุตที่เหมือนกับที่ใช้ก่อนหน้านี้ ซึ่งถ้าตรวจสอบแล้วมีความผิดพลาด จะต้องไปทำการสังเคราะห์วงจรใหม่ หรือทำการแก้ไขในระดับ RTL เพื่อให้ได้วงจรที่ผ่านการวางและเชื่อมต่อจะทำให้ได้วงจรที่ถูกต้องตามข้อกำหนดทุกประการ

จากนั้นนำ CPLD (Xilinx&Altera) ที่ผ่านการออกแบบและจำลองการทำงานด้วยโปรแกรมสังเคราะห์วงจร มาเชื่อมต่อกับอุปกรณ์ Input/Output และทำการทดสอบจริงในทางปฏิบัติตามใบงานที่กำหนดให้ ในขั้นตอนนี้การออกแบบวงจรรวมดิจิตอลจะใช้เทคโนโลยีระบบสมองกลฝังตัวมาช่วยในการออกแบบ ซึ่งมีวิธีการออกแบบ 3 วิธี คือ การออกแบบวงจรรวมโดยใช้ VHDL, Verilog HDL และการวาดผังวงจร (Schematic) ผู้ใช้สามารถออกแบบโดยวิธีใดก็ได้ ขึ้นอยู่กับความสามารถและความเชี่ยวชาญ โดยมีซอฟต์แวร์ช่วย (Xilinx&Altera Software) ในการออกแบบ หลังออกแบบวงจรรวมเสร็จเรียบร้อย ซอฟต์แวร์จะเป็นตัวช่วยในการ Download วงจรเข้าสู่ชิพ CPLD เสมือนเป็นสมองกลฝังตัวอยู่ในชิพ CPLD ทำให้ซอฟต์แวร์และฮาร์ดแวร์สามารถทำงานร่วมกันได้อย่างมีประสิทธิภาพ

การออกแบบและสร้างชุดทดลอง

แนวทางในการออกแบบ สร้างชุดทดลอง โดยทั่วไปจะมี 2 แบบ คือ การออกแบบสร้างตามแบบนิยม (Conventional design) และแบบระเบียบวิธี (Methodical design) ความแตกต่างของสองแนวทางนี้ คือ แนวทางแรกเป็นการออกแบบในลักษณะที่ปฏิบัติต่อๆ กันมาไม่มีรูปแบบหรือขั้นตอนการดำเนินงานที่เป็นแบบแผนแน่นอน แต่จะออกแบบกันตามความรู้ความเชี่ยวชาญแห่งตน จึงต่างจากแนวทางแบบที่สอง ซึ่งใช้วิชาการทางด้านวิทยาศาสตร์มาประยุกต์ คือ มีขั้นตอนงานที่เด่นชัดแน่นอนเป็นตรรกและสามารถประยุกต์ให้เหมาะสมกับงานออกแบบสร้างในสาขาต่างๆ ได้ ดังนั้น การออกแบบสร้างสื่อการเรียนการสอนประเภทอุปกรณ์ทดลองหรือสาธิต ได้นำหลักวิชาการทางด้านการออกแบบสร้าง มาประยุกต์เป็นหลักการที่มีขั้นตอนในการออกแบบสร้างเป็นขั้นตอนดังนี้ (วัลลภ จันทร์ตระกูล : 2543)

ขั้นตอนที่ 1 กำหนดจุดประสงค์ในการนำอุปกรณ์ทดลองหรือสาธิตไปใช้ในการสอน เป็นขั้นตอนที่ต้องศึกษาข้อมูลต่างๆ เพื่อให้การออกแบบสร้างอุปกรณ์ทดลอง หรือสาธิต นั้นเกิดความเป็นจริง สำเร็จผลตามเป้าหมาย ควรจะต้องศึกษาถึงสภาพการณ์ ในการเรียนการสอน ศึกษาข้อมูลทางด้านวิชาการในเรื่องนั้นในบางครั้ง ถ้าหากเรื่องนั้นได้มีการพัฒนาอุปกรณ์มาแล้วโดยผู้อื่น เช่น บริษัทในต่างประเทศควรจะศึกษารายละเอียดต่างๆ ด้วย เป็นต้น เมื่อศึกษาข้อมูลต่างๆ แล้วจึงนำมาใช้เขียนจุดประสงค์ของอุปกรณ์ในลักษณะคำบรรยายแต่จะไม่ระบุรูปร่างลักษณะทางด้านเทคนิคอย่างเฉพาะเจาะจง ข้อมูลต่างๆ อาจกล่าวได้ว่าเป็นขอบเขตคุณลักษณะของอุปกรณ์ที่จะออกแบบสร้างก็ได้ บางครั้งอาจจะกำหนดเป็นข้อๆ ก็ได้ และสุดท้ายจะต้องตรวจสอบความสอดคล้องกับวัตถุประสงค์ของบทเรียนอีกครั้ง จนกระทั่งได้ผลว่าเกิดความสอดคล้องครอบคลุมตามเป้าหมาย

ขั้นตอนที่ 2 กำหนดหน้าที่ (Function) ของอุปกรณ์ จากคำบรรยายคุณลักษณะของอุปกรณ์ที่กำหนดขึ้นในข้อ 1 จะนำมาดำเนินการวิเคราะห์ คำบรรยายดังกล่าว เพื่อค้นหาค่าพื้นฐาน (Basic term) ซึ่งทำให้ทราบรายการหน้าที่ (Function element) ของอุปกรณ์ และได้กำหนดตัวรายการหน้าที่เป็นกลางทั่วๆ ไป ไม่ระบุเฉพาะเจาะจงว่า ต้องใช้ชิ้นส่วนประกอบของอุปกรณ์แบบใดรูปร่างอย่างไร อย่างไรก็ตาม เฉพาะค่าพื้นฐานก็อาจจะไม่ได้รายการหน้าที่ครอบคลุมลักษณะของอุปกรณ์ ดังนั้น จึงต้องวิเคราะห์ค่าประกอบสัมพันธ์ (Relation term) ด้วย

ขั้นตอนที่ 3 ศึกษาพิจารณาปัจจัยที่จะทำให้อุปกรณ์ทำงาน ได้ตามรายการหน้าที่ (Function element) เป็นการคิดค้นสิ่งที่จะทำให้อุปกรณ์สามารถทำงานได้ตามรายการหน้าที่ที่กำหนด (Function carrier) ซึ่งโดยทั่วไปจะอยู่ในรูปของ วัสดุ (Materials) พลังงาน (Energy) และสัญญาณ (Signal) วิทยาการที่สำคัญซึ่งเกี่ยวข้องในขั้นตอนนี้คือ วิชาฟิสิกส์ ได้แก่ ทางด้านกลไกล

(Mechanic) เคมี ไฟฟ้า แสง เสียง ความร้อน เป็นต้น สิ่งที่จะต้องกำหนดอาจเป็นคำเขียนสั้นๆ หรือภาพสเก็ตช์ง่ายๆ เพื่อจะใช้เป็นชิ้นส่วนประกอบของอุปกรณ์ (Construction element) จะต้องพยายามเขียนกำหนดให้มากที่สุดเท่าที่จะมากได้ สำหรับเป็นทางเลือกต่างๆ ที่จะทำการตัดสินใจเลือกในลำดับต่อไป แนวทางที่จะได้ทางเลือกต่างๆ คือ การศึกษาพิจารณาในเรื่องลักษณะรูปทรงแบบต่างๆ และลักษณะของการเคลื่อนไหวของส่วนประกอบนั้นๆ อาจจะต้องมีการระดมสมอง (Brain strumming) ร่วมกัน ต้องศึกษาค้นคว้าข้อมูลต่างๆ ที่มีอยู่ แม้กระทั่งผลงานของผู้อื่น (บริษัทคู่แข่ง) ชิ้นส่วนอุปกรณ์ที่คิดค้นขึ้นควรจะต้องพิจารณาเงื่อนไขบางประการ เช่น การใช้ชิ้นส่วนสำเร็จ ความยากง่ายในการผลิต และค่าใช้จ่าย เป็นต้น นอกจากนั้นควรจะให้ชิ้นส่วนประกอบบางชิ้น ทำหน้าที่ได้หลายๆ หน้าที่ด้วย สิ่งสำคัญยิ่งในจุดนี้ คือ การพยายามใช้ ชิ้นส่วน หรืออุปกรณ์บางอย่าง ซึ่งมีอยู่หรือได้พัฒนามาแล้ว

ขั้นตอนที่ 4 วิเคราะห์และตัดสินใจเลือกชิ้นส่วนประกอบของอุปกรณ์ เป็นขั้นตอนที่ต้องการหาผลลัพธ์ที่ดีที่สุดจากทางเลือกต่างๆ โดยการวิเคราะห์และตัดสินใจเลือก ซึ่งมีวิธีการที่แตกต่างออกไป การตัดสินใจเลือกสิ่งสำคัญคือ แนวทางหรือมาตรการในการตัดสินใจเลือกเกณฑ์ โดยทั่วไปเกณฑ์ที่กำหนด ได้แก่ เรื่องประสิทธิภาพในการทำงาน ขนาดรูปร่าง การบำรุงรักษา ความคงทน ราคา เป็นต้น ส่วนน้ำหนักของเกณฑ์แต่ละเกณฑ์ ก็แตกต่างกันไป ตามแต่ความสำคัญหรือจะเน้นหนักในเรื่องใด เช่น จะเน้นทางด้านเทคนิคหรือด้านเศรษฐศาสตร์ การตัดสินใจเลือกจะต้องมีความเที่ยงตรงและน่าเชื่อถือ ในการตัดสินใจเลือก จึงควรประกอบด้วยบุคคลต่างๆ ที่เกี่ยวข้อง เช่น ฝ่ายออกแบบ ฝ่ายผลิต ฝ่ายจัดการ เป็นต้น การพัฒนาอุปกรณ์ซึ่งมีลักษณะประกอบต่างๆ จำนวนมาก อาจต้องทำการตัดสินใจเลือก ถึงสองขั้นตอน กล่าวคือ ขั้นแรกตัดสินใจเลือกชิ้นส่วนประกอบแต่ละชิ้น ขั้นที่สองจะต้องวิเคราะห์ความเข้ากันได้หรือประกอบกันได้ของชิ้นส่วนประกอบต่างๆ ที่ได้เลือกมา แล้วจึงทำการตัดสินใจเลือกชุดประกอบย่อยๆ แต่ละชุด

ขั้นตอนที่ 5 สร้างต้นแบบและตรวจสอบ จากผลลัพธ์การตัดสินใจเลือกชิ้นส่วนประกอบในข้อ 4 จะต้องนำมาร่างเป็นภาพประกอบต้นแบบโดยคร่าวๆ หรือเป็นแบบงานง่ายๆก่อน จากนั้นจึงทำการสร้างเป็นต้นแบบ ในบางครั้งขั้นตอนนี้อาจจะต้องมีการประลองหรือทดลองกลไกหน้าที่ของอุปกรณ์บางอย่าง เพื่อให้การสร้างต้นแบบประสบความสำเร็จ อุปกรณ์สามารถทำงานได้ตามต้องการ และจะทำให้ได้ข้อมูลด้านขนาด ระยะ รูปร่างของอุปกรณ์ ทางด้านอุปกรณ์ต้นแบบจะต้องทำการตรวจสอบทางด้านเทคนิคค้นหาข้อมูล (data) บางอย่าง เพื่อทำให้แน่ใจว่าอุปกรณ์นั้นมีคุณลักษณะตรงตามต้องการ นอกจากนั้นก็จะศึกษาพิจารณาเรื่องแนวทางการผลิตต่อไป รวมทั้งกฎความปลอดภัยต่างๆ ด้วย ข้อมูลต่างๆ ที่ได้จากการตรวจสอบจะนำไปใช้ประกอบในการเขียนเอกสารประกอบของอุปกรณ์นั้น

ขั้นตอนที่ 6 เขียนแบบงาน ในกรณีที่พัฒนาออกแบบสร้างอุปกรณ์เพียงชิ้นเดียว งานเขียนแบบอาจไม่จำเป็น แต่ถ้าหากจะทำการผลิต หรือต้องการเก็บข้อมูลต่างๆ เพื่อประโยชน์ในการดำเนินงานต่อไป งานเขียนแบบนับว่ามีความสำคัญเป็นอย่างมาก แบบงานจะเป็นข้อมูลสำหรับการดำเนินการผลิต ดังนั้น แบบงานอุปกรณ์จะต้องมีแบบแยกชิ้นจนเป็นชิ้นเดียวที่มีข้อมูลอย่างครบถ้วน สำหรับช่างที่จะทำการผลิตได้ เช่น ขนาด พิกัดความเผื่อ วัสดุ เป็นต้น นอกจากนั้นต้องมีข้อมูล หมายเลขชิ้นส่วนทั้งที่จะต้องสร้างขึ้นใหม่และชิ้นส่วนมาตรฐาน ดังนั้น งานเขียนแบบจึงต้องมีการกำหนดระบบ เลขหมายแบบ ซึ่งอาจจะแบ่งออกเป็น 4 กลุ่ม คือ แบบรวม แบบประกอบกลุ่มหลัก แบบประกอบกลุ่มย่อยและแบบชิ้นเดียว ระบบในงานเขียนแบบมีความสำคัญต่อการคำนวณราคา การวางแผนการผลิต และการเก็บข้อมูลทางด้านชิ้นส่วนและวัสดุของหน่วยงาน

ขั้นตอนที่ 7 การเตรียมเอกสารประกอบอุปกรณ์ที่ออกแบบสร้างโดยทั่วไป ควรจะต้องจัดเตรียมเอกสารประกอบ และคู่มือการใช้งาน เพื่อผู้ใช้จะได้ใช้อุปกรณ์ได้อย่างถูกต้อง ปลอดภัย และสอดคล้องตามจุดประสงค์ ในการออกแบบสร้างอุปกรณ์นั้นโดยเฉพาะอย่างยิ่งอุปกรณ์ที่ออกแบบเพื่อใช้ในการเรียนการสอนจะต้องเตรียมเอกสารประกอบสำหรับใช้ในงานสอนจากในขั้นตอนที่ 5 คือ การสร้างต้นแบบและตรวจสอบจะได้รับข้อมูลส่วนหนึ่งที่จะนำมาใช้ในการจัดเตรียมเอกสารประกอบ และในภายหลังเมื่อได้ผลิตออกมาเป็นอุปกรณ์จริง ๆ แล้วก็จะต้องนำมาหาข้อมูลต่างๆ ต่อไปอีก เอกสารประกอบที่จะต้องจัดเตรียม อาจะกำหนดให้มีในลักษณะต่างๆ กันตามแต่ความมุ่งหมายของงาน โดยอาจจำแนกออกเป็น 4 ประเภท คือ คู่มือแนะนำการใช้งาน (Instruction sheet) เอกสารประกอบในการศึกษาทดลอง (ตำรา ใบงาน แบบฝึกหัด แบบทดสอบ ใบเฉลยของผู้สอน และผู้เรียน เป็นต้น) Catalog และใบเอกสารเสนอลูกค้า (Prospect) ผู้ออกแบบสร้างอาจจะต้องทำหน้าที่เป็นผู้จัดเตรียมเอกสาร แต่ในบางกรณีก็อาจจะต้องตั้งเป็นทีมงาน หรือให้ผู้เชี่ยวชาญภายนอกเป็นฝ่ายพัฒนาขึ้นมา ผลงานที่ได้ดำเนินงานในขั้นตอนงานที่ 7 สามารถจะดำเนินการผลิตอุปกรณ์ในลักษณะ การผลิตจำนวนมาก (Mass production) ได้เลย โดยที่การเตรียมเอกสารประกอบก็ดำเนินการควบคู่กันไป

โครงสร้างและหลักการทำงานของ CPLD

PLD ย่อมาจาก Programmable Logic Device หมายถึงชิพไอซีที่สามารถสร้างวงจรลอจิกทั้งแบบ Combination และ Sequential ซึ่งใช้คอมพิวเตอร์ในการออกแบบ และโปรแกรมข้อมูลลงไปบนตัวชิพ อุปกรณ์ที่มีลักษณะคล้ายกันได้แก่

GAL (Gate Array Logic) เป็นชิพที่ใช้โปรแกรมวงจรลอจิกได้เฉพาะวงจร Combination โปรแกรมโดยเครื่องโปรแกรมเฉพาะ โปรแกรมได้เพียงครั้งเดียว หากเกิดข้อผิดพลาดจะไม่สามารถแก้ไขได้ ขาอินพุต และเอาต์พุตถูกกำหนดไว้ตายตัวไม่สามารถเปลี่ยนแปลงได้ มีจำนวนลอจิกเกตน้อย ใช้สำหรับวงจรที่มีขนาดเล็กไม่ซับซ้อน

PAL (Programmable Array Logic) เป็นชิพที่ใช้โปรแกรมสร้างวงจรลอจิกที่มีความซับซ้อนมากขึ้นกว่า GAL โดยมีทั้งตัว Logic Gate แบบต่างๆ และตัว Flip-Flop ที่สามารถออกแบบวงจรที่ผสมระหว่าง Combination Logic และ Sequential Logic ส่วนทางด้านการโปรแกรมนั้นมีเครื่องมือที่สามารถออกแบบและโปรแกรมผ่านทางคอมพิวเตอร์ได้ แต่ขาอินพุต และเอาต์พุตยังถูกบังคับไม่สามารถใช้สลับกันได้ และการโปรแกรมไม่สามารถทำซ้ำได้มากนัก

CPLD (Complex Programmable Logic Device) เป็นชิพที่ใช้ออกแบบวงจรขนาดใหญ่ สามรถออกแบบโดยการเขียนโปรแกรม HDL ได้ ใช้เทคโนโลยีการเก็บรักษาวงจรแบบ Flash ที่สามารถคงสถานะของวงจรที่ฝังอยู่ได้ประมาณ 20-40 ปี สามารถโปรแกรมซ้ำได้ประมาณมากกว่า 10,000 ครั้ง ขา I/O เป็นแบบเอนกประสงค์ โดยสามารถกำหนดให้เป็นอินพุต หรือเอาต์พุตแบบต่างๆ ได้ มีจำนวนลอจิกเกตที่สามารถกำหนดให้เป็นเกตอะไรก็ได้ เริ่มตั้งแต่ 800 ตัวไปจนถึงหลายแสนเกต และ Flip-Flop 36 ตัว ไปจนถึงหลายพันตัว สามารถรองรับการออกแบบวงจรขนาดใหญ่ๆ และซับซ้อนมากๆ ได้

FPGA (Field Programmable Gate Array) เป็นชิพที่ใช้ออกแบบวงจรที่มีขนาดใหญ่มากๆ และมีความซับซ้อนของระบบสูงมากเท่าที่มีอยู่ในปัจจุบัน ที่ใช้ในการพัฒนาออกแบบหน่วยประมวลผล (CPU) ขนาดใหญ่ๆ ได้ โดยมีจำนวนลอจิกเกตและ Flip-Flop นับล้านๆ ตัว มีจำนวนขา I/O ตั้งแต่หลายสิบขาไปจนถึงหลายร้อยขา การโปรแกรมและการรักษาวงจรใช้เทคโนโลยีแบบ Valentine เช่นเดียวกับโครงสร้างหน่วยความจำ RAM คือต้องโปรแกรมแล้วต้องมีไฟเลี้ยงตัวชิพอยู่ตลอดเวลา หากไฟดับวงจรจะหายไปทันที ดังนั้นในการออกแบบใช้งานจะต้องมี Flash Memory สำหรับเก็บค่าสถานะของวงจรต่อพ่วงอยู่เสมอ โดยขณะที่โปรแกรม เราต้องโปรแกรมค่า Config. ลงใน Flash ด้วย การทำงาน คือ เมื่อเปิดไฟเลี้ยงตัวชิพ ข้อมูลจาก Config. ของหน่วยความจำ Flash จะถูกโหลดมาสร้างเป็นวงจรตามที่โปรแกรมไว้และทำงานได้ทันที ด้วยเทคโนโลยีนี้ FPGA จึงสามารถใช้งานได้เหมือนกันกับ CPLD และที่สำคัญ CPLD และ FPGA สามารถใช้โปรแกรมที่เป็นเครื่องมือในการพัฒนาและออกแบบวงจรตัวเดียวกันได้

จากความสามารถดังกล่าว จึงทำให้ในสภาวะปัจจุบันมีการผลิตเฉพาะ CPLD และ FPGA ซึ่งมีความสามารถเฉพาะใกล้เคียงกัน ในงานวิจัยครั้งนี้ผู้วิจัยจึงเลือกใช้อุปกรณ์ CPLD เป็นอุปกรณ์หลักในการวิจัย เนื่องจากเหตุผลสองประการคือ ประการที่หนึ่ง คือ เรื่องของการออกแบบ CPLD

สามารถออกแบบวงจรได้สะดวกกว่า เนื่องจากมีหน่วยความจำภายใน เพราะถ้าใช้ FPGA จะต้องมีการออกแบบในเรื่องของหน่วยความจำที่เพิ่มขึ้นมาด้วย ประการที่สอง คือ เรื่องของต้นทุนที่ใช้ในการออกแบบ CPLD จะประหยัดต้นทุนในการออกแบบได้มากกว่า FPGA เนื่องจาก CPLD ตัวเดียวสามารถใช้งานได้ทั้งระบบ แต่ถ้าใช้ FPGA จะต้องมี Flash Memory เพิ่มเติม ในบางรุ่นราคาของ FPGA และ Flash Memory เกือบจะเท่ากัน ส่วนในเรื่องของความซับซ้อนของวงจรที่ออกแบบนั้น เนื่องจากวงจรที่ใช้ในการออกแบบมีความซับซ้อนระดับปานกลาง ความสามารถของ CPLD สามารถรองรับได้ จึงไม่มีความจำเป็นที่จะต้องใช้ FPGA จากเหตุผลดังกล่าว ผู้วิจัยจึงใช้ CPLD เป็นอุปกรณ์หลักในการออกแบบวงจรรวมดิจิตอล

CPLD ที่ใช้ในการวิจัยครั้งนี้ เป็น CPLD 2 ตระกูล คือ ตระกูล XC9500 รุ่น XC95108 ของ Xilinx Inc. และตระกูล MAX7000 รุ่น EPM7128S ของ Altera Corporation ซึ่งเป็น CPLD ที่มีความสามารถขนาดกลาง สามารถรองรับการออกแบบวงจรรวมในภาคปฏิบัติของรายวิชาดิจิตอลอิเล็กทรอนิกส์ได้ทั้งหมด ส่วนซอฟต์แวร์ที่ใช้คือ ISE WebPACK 8.1i ของ Xilinx Inc. และ Quartus II Web Edition 9.1 ของ Altera Corporation เป็นซอฟต์แวร์ที่สามารถ Download ใช้ได้ฟรี แต่ในส่วนของการทดสอบการออกแบบวงจรรวม ผู้วิจัยใช้ CPLD และซอฟต์แวร์ของ Xilinx Inc. ซึ่งรายละเอียดของ CPLD มีดังนี้

CPLD ตระกูล XC9500 รุ่น XC95108 PC84-15C

CPLD ตระกูล XC9500 เป็นชิพที่มีความสามารถในการทดสอบ และการโปรแกรมระบบภายในสมรรถนะสูง วัตถุประสงค์เพื่อรวมลอจิกพื้นฐานเข้าด้วยกัน อุปกรณ์ทุกตัวที่มีการโปรแกรมระบบภายใน จะทำการโปรแกรมและลบโปรแกรมได้อย่างน้อย 10,000 ครั้ง ทุกรุ่นในตระกูลสนับสนุนมาตรฐาน IEEE 1149.1 (JTAG) boundary-scan ตารางที่ 1 แสดงถึงความหนาแน่นของจำนวนลอจิกเกตในตระกูล XC9500 มีเกตใช้งานตั้งแต่ 800-6,400 เกต และมีรีจิสเตอร์ 36-288 ตัว ตารางที่ 2 แสดงความสัมพันธ์ระหว่างจำนวนอินพุตและเอาต์พุต ซึ่งจะมีความจุที่สัมพันธ์กันกับหมายเลขของชิพในตระกูล XC9500 ขาทั้งหมดสามารถใช้งานแทนกันได้ ง่ายต่อการออกแบบสามารถเลือกเคลื่อนย้ายไปในพื้นที่ใดได้ตามต้องการ

ลักษณะเฉพาะทางสถาปัตยกรรมตระกูล XC9500 คือ สามารถโปรแกรมระบบภายในให้อยู่ที่ใดได้ตามต้องการ มีความสามารถในการกำหนดการทำงานของขาอินพุตและเอาต์พุตได้ดีขึ้น การโปรแกรมและลบโปรแกรมสามารถทำได้อย่างน้อย 10,000 ครั้ง หลังจากนั้นอาจจะต้องเปลี่ยนอุปกรณ์หรือใช้หน่วยความจำต่อเพิ่ม เพื่อใช้ในการโปรแกรมระบบ

ตารางที่ 1 CPLD ตระกูล XC9500

	XC9536	**XC9572**	**XC95108**	**XC95144**	**XC95216**	**XC95288**
Macro cells	36	72	108	144	216	288
Usable Gates	800	1,600	2,400	3,200	4,800	6,400
Registers	36	72	108	144	216	288
T_{PD} (ns)	5	7.5	7.5	7.5	10	15
T_{SU} (ns)	3.5	4.5	4.5	4.5	6.0	8.0
T_{CO} (ns)	4.0	4.5	4.5	4.5	6.0	8.0
F_{CNT} (MHz)	100	125	125	125	111.1	92.2
F_{SYSTEM} (MHz)	100	83.3	83.3	83.3	66.7	56.6

หมายเหตุ F_{CNT} คือ ความถี่ทำงานของวงจรแบบ 16 บิต

F_{SYSTEM} คือ ความถี่ที่ใช้ในการโปรแกรมระบบภายใน

ที่มา : http://www.xilinx.com/support/documentation/xc9500.htm

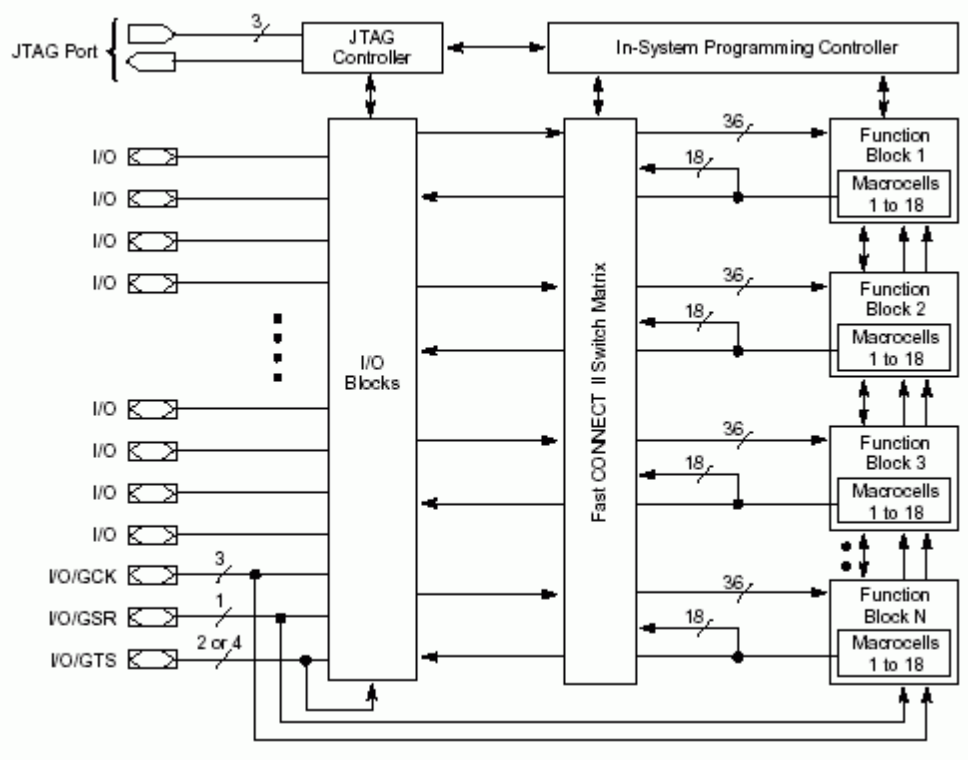
ตารางที่ 2 จำนวนอินพุตและเอาต์พุตในแต่ละรุ่น

	XC9536	**XC9572**	**XC95108**	**XC95144**	**XC95216**	**XC95288**
44-Pin VQFP	34	-	-	-	-	-
44-Pin PLCC	34	34	-	-	-	-
48-Pin CSP	34	-	-	-	-	-
84-Pin PLCC	-	69	69	-	-	-
100-Pin TQFP	-	72	81	81	-	-
100-Pin PQFP	-	72	81	81	-	-
160-Pin PQFP	-	-	108	133	133	-
208-Pin HQFP	-	-	-	-	166	168
352-Pin BGA	-	-	-	-	166	192

ที่มา : http://www.xilinx.com/support/documentation/xc9500.htm

Architecture Description

CPLD ตระกูล XC9500 ทุกรุ่นประกอบด้วยวงจรที่เป็นส่วนการทำงาน ได้แก่ Function Block (FBs) และ I/O Blocks (IOBs) ซึ่งทั้งสองส่วนจะถูกเชื่อมต่อกันภายใน โดยการทำงานในส่วนของวงจรที่เรียกว่า Fast CONNECT switch matrix วงจรส่วนนี้เป็นลิขสิทธิ์เฉพาะของผู้ผลิต ซึ่งจะทำงานตามข้อมูลโปรแกรมที่ส่งมาจากวงจร In-System Programming Controller วงจรส่วน Fast CONNECT switch matrix จะทำงานร่วมกับ Function Block ทำให้เกิดวงจรลอจิกตามที่ได้ออกแบบและโปรแกรมเข้าตัวชิพ CPLD ซึ่งชิพ CPLD แต่ละตัวจะมี Function Block หลายชุด โดยแต่ละชุดจะมีสายสัญญาณการโปรแกรมลอจิกจากวงจร Fast CONNECT switch matrix เป็นอินพุตจำนวน 36 เส้น และเอาต์พุตจำนวน 18 เส้น ในแต่ละ Function Block ภายในจะประกอบด้วยวงจรส่วนที่เรียกว่า Macrocells จำนวน 18 ชุด ภายใน Macrocells จะประกอบด้วยวงจรรีจิสเตอร์ หรือฟลิป-ฟลอป ที่สามารถประกอบกันเป็นวงจรรีจิสเตอร์ หรือวงจรนับได้ ส่วนวงจรในส่วนที่เรียกว่า I/O Blocks จะทำหน้าที่เป็นตัวเชื่อมต่อกับขา I/O ของชิพ CPLD โดยสามารถโปรแกรมให้แต่ละขาเป็น Input/Output หรือ Bi-direction และสามารถกำหนด Slew rate ได้ด้วย รายละเอียดแสดงในภาพที่ 3

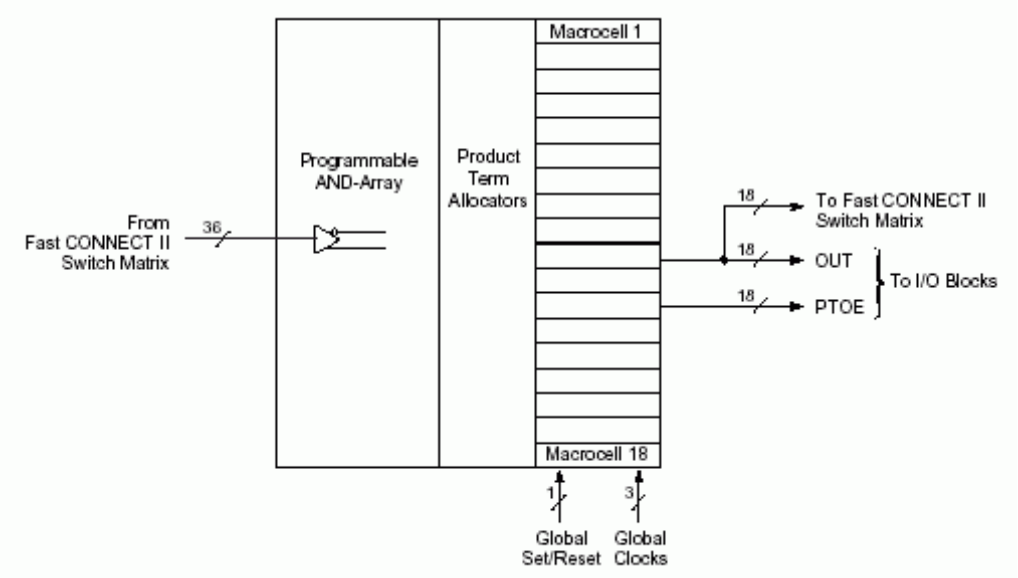


ภาพที่ 3 สถาปัตยกรรมภายใน XC9500

ที่มา : http://www.xilinx.com/support/documentation/xc9500.htm

Function Block

แต่ละ Function Block ประกอบด้วย Macrocells จำนวน 18 ชุด แต่ละชุดทำงานเป็นอิสระไม่ขึ้นต่อกัน วงจรส่วนนี้สามารถโปรแกรมให้เป็นได้ทั้งวงจร Combination Logic หรือ Sequential Logic วงจร Programmable AND-Array ทำหน้าที่นำสายสัญญาณที่มาจากวงจร Fast CONNECT switch matrix มาแปลงให้เป็นสัญญาณ True และ Complement รวมเป็น 72 เส้นสัญญาณ และส่งไปยังวงจร Product Term Allocates และส่งต่อไป Macrocells ทั้ง 18 ชุด แสดงในภาพที่ 4



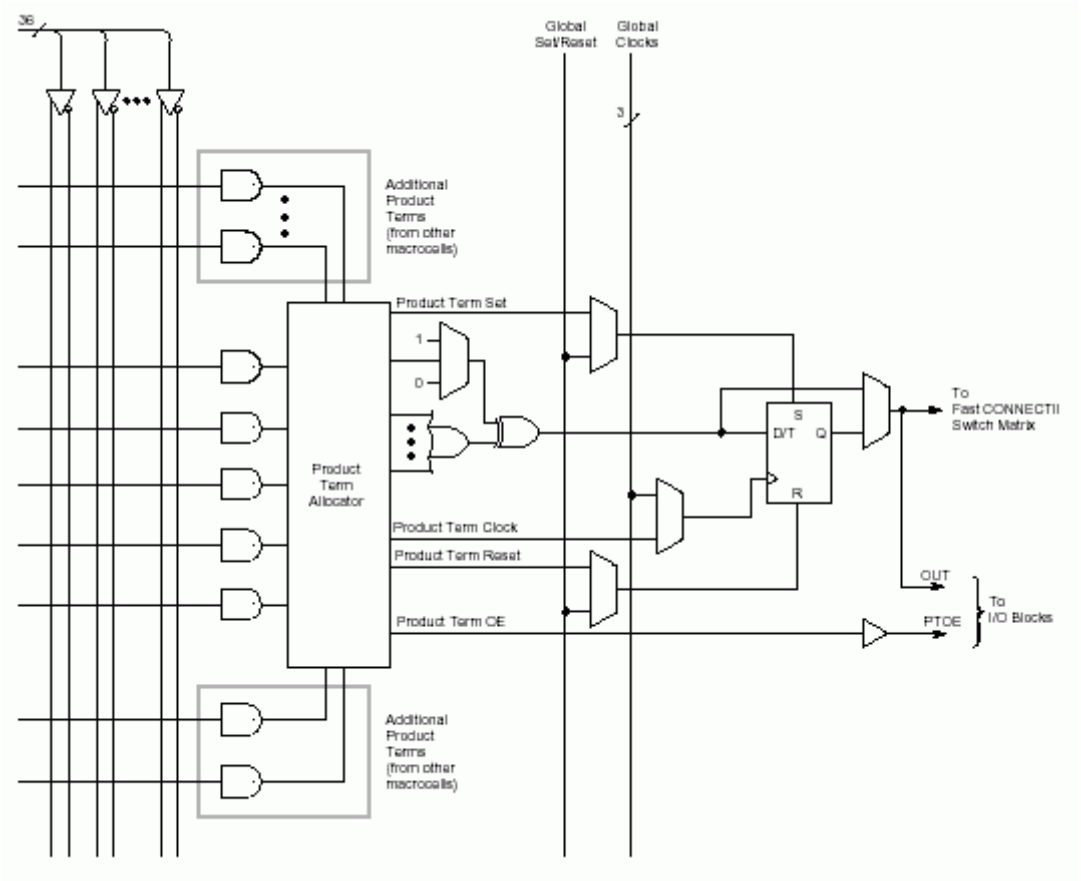
ภาพที่ 4 โครงสร้างภายใน Function Block

ที่มา : http://www.xilinx.com/support/documentation/xc9500.htm

Macrocell

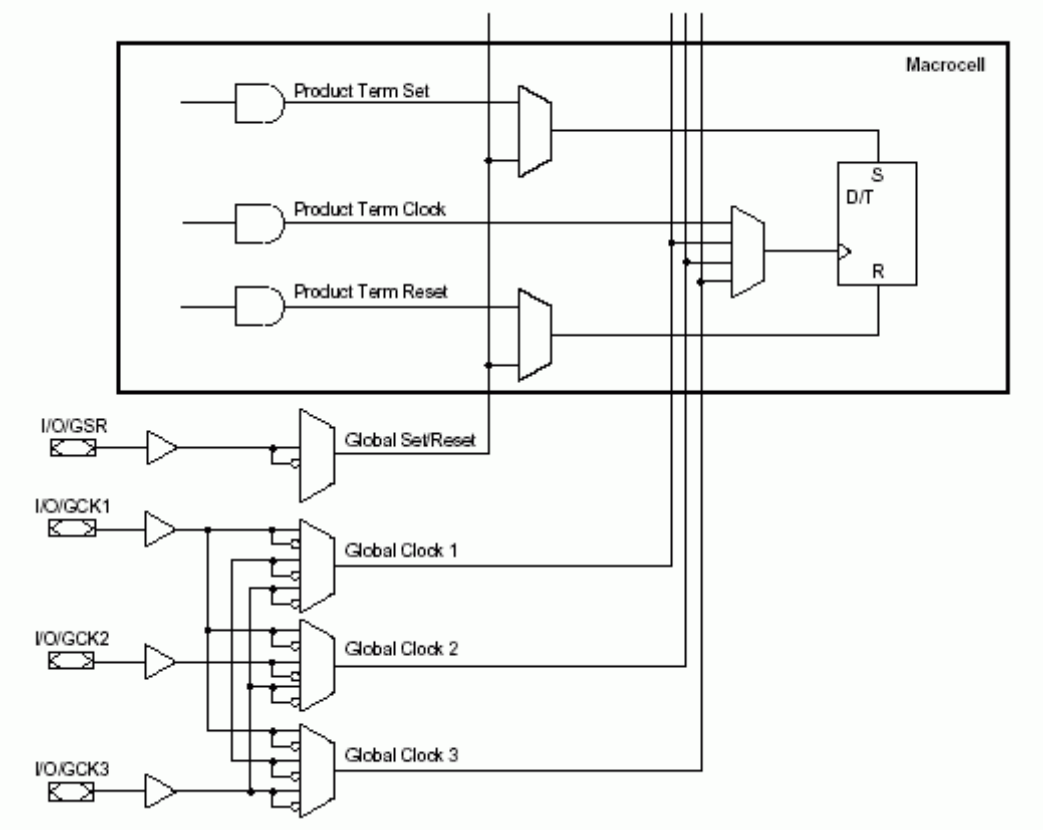
แต่ละ Macrocell ที่อยู่ภายใน Function Block ประกอบด้วยส่วนการทำงานที่เรียกว่า Product Term Allocator จำนวน 5 ชุด ซึ่งต่อสัญญาณมาจาก AND-Array สำหรับใช้เป็นข้อมูลลอจิกเบื้องต้น (ได้แก่ OR และ XOR Gates) ที่จะนำมาสร้างเป็นวงจรลอจิกประเภท Combination หรือเป็นวงจรควบคุมส่วนของวงจร Register รวมทั้งสัญญาณ Clock, Set/Reset และสัญญาณ Enable ต่างๆ ในส่วนของ Macrocell Register โปรแกรมสามารถกำหนดให้เป็นฟลิป-ฟลอปแบบต่างๆ ได้ เช่น D-Flip-Flop, T-Flip-Flop หรืออาจกำหนดให้เป็นตัวผ่าน ในกรณีที่เป็นวงจรลอจิกประเภท Combination ในการกำหนดสัญญาณ Set/Reset ให้ฟลิป-ฟลอป สามารถกำหนดให้เป็นได้ทั้งแบบ Synchronous และ Asynchronous และกำหนดให้เป็นได้ทั้ง Individual และ Global

Operation และจะเริ่มทำงานเมื่อจ่ายไฟเลี้ยงเข้าวงจร ในขณะนั้นฟลิป-ฟลอปจะเตรียมพร้อมสำหรับการ Download ข้อมูลลงในวงจร รายละเอียดแสดงในภาพที่ 5 และ 6



ภาพที่ 5 โครงสร้างภายใน Macrocell

ที่มา : http://www.xilinx.com/support/documentation/xc9500.htm

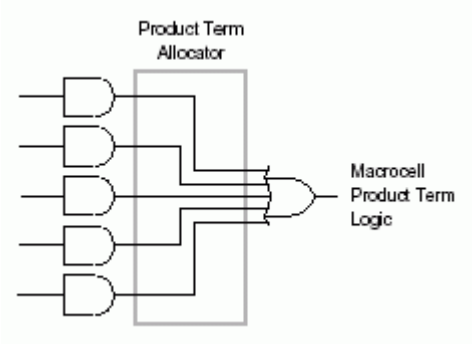


ภาพที่ 6 สายสัญญาณที่ต่อเข้าไปยัง Macrocell

ที่มา : http://www.xilinx.com/support/documentation/xc9500.htm

Product Term Allocator

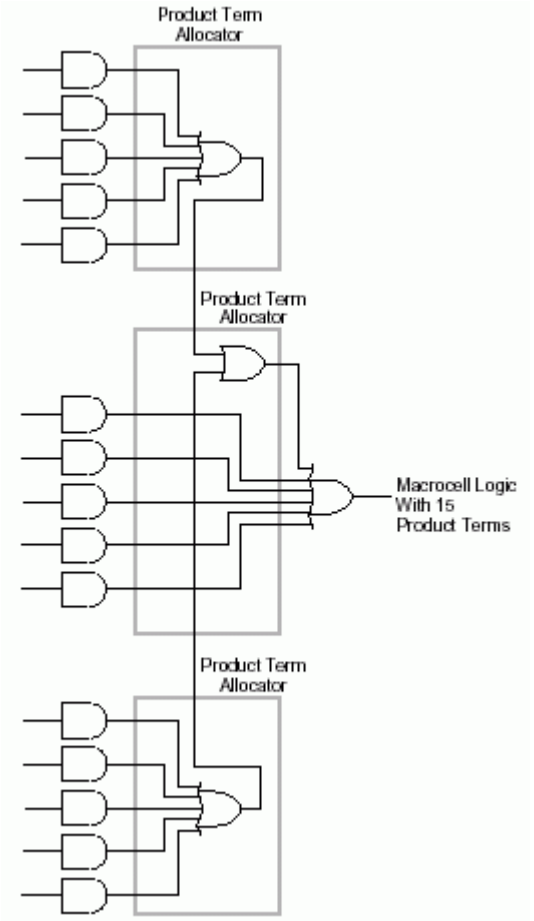
วงจรควบคุมของ Product Term Allocator ตัวอย่างในภาพที่ 7 แสดงการรวมสัญญาณทั้ง 5 เส้นสัญญาณด้วยวงจร OR Gate แล้วส่งเข้าวงจรลอจิกในเทอมของ Macrocell



ภาพที่ 7 Logic Macrocell โดยใช้ Direct Product Term

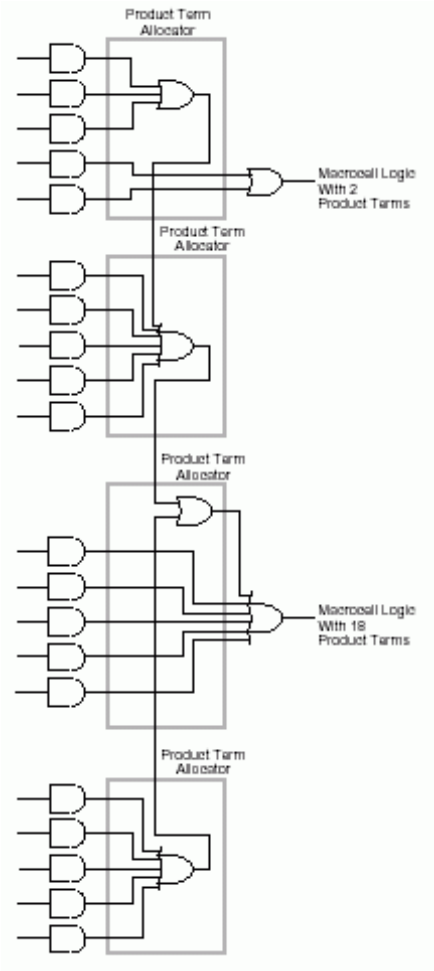
ที่มา : http://www.xilinx.com/support/documentation/xc9500.htm

Product Term Allocator แต่ละตัวภายใน Function Block สามารถเพิ่มจำนวนความจุของลอจิกเกตในแต่ละ Macrocell โดยมีเงื่อนไข คือ 5 ลอจิกเกตใน 1 เทอมของแต่ละ Macrocell สามารถต่อเพิ่มได้มากถึง 15 ลอจิกเกตต่อ 1 Macrocell ดังแสดงในภาพที่ 8



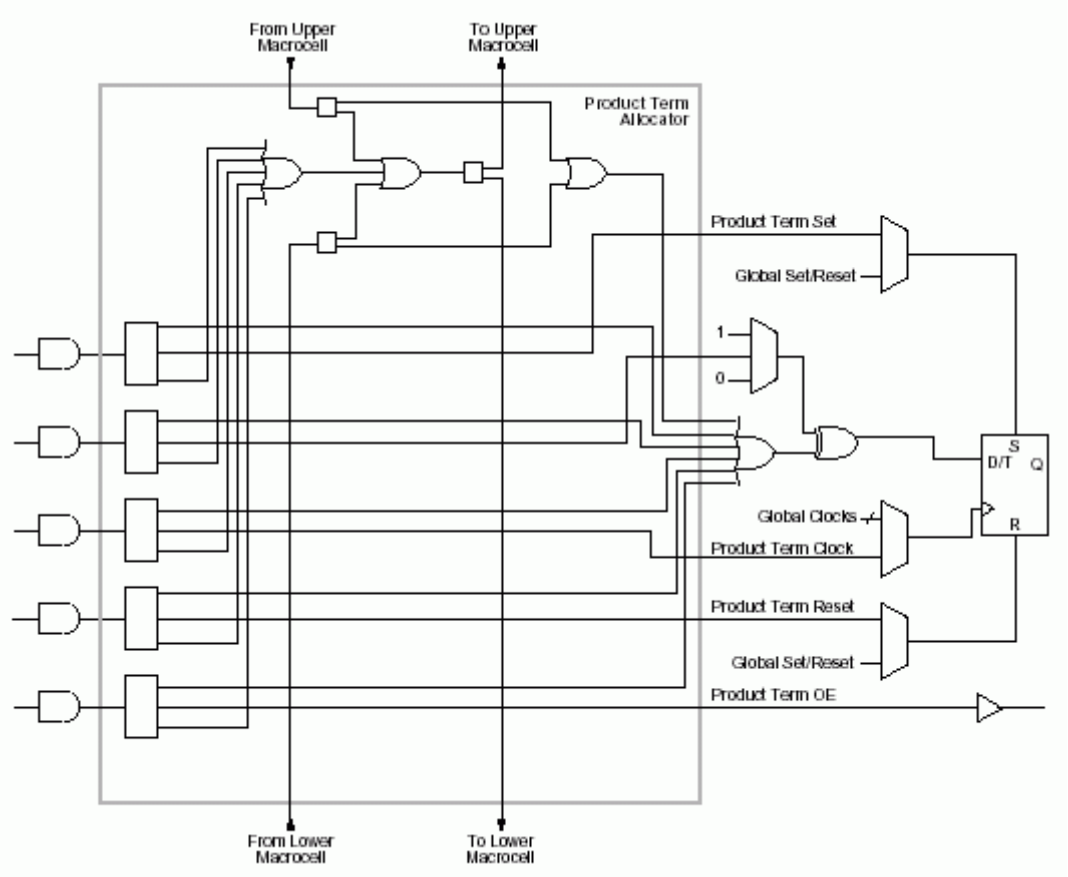
ภาพที่ 8 Product Term Allocation ที่ประกอบด้วย 15 Product Terms
ที่มา : http://www.xilinx.com/support/documentation/xc9500.htm

Product Term Allocator สามารถกำหนดหน้าที่ทำงานของ Product Terms ได้จากแต่ละ Macrocell ที่อยู่ภายใน Function Block โดยการรวมเทอมย่อยของแต่ละ Macrocell เข้าด้วยกัน ภาพที่ 9 แสดง Product Term 90 ตัวที่อยู่ภายใน Macrocell หลายวงจร และนำแต่ละ Product Term มาเชื่อมต่อกัน และภาพที่ 10 แสดงลอจิกภายใน Product Term Allocator



ภาพที่ 9 Product Term Allocation ที่เชื่อมต่อกับ Macrocell หลายวงจร

ที่มา : http://www.xilinx.com/support/documentation/xc9500.htm

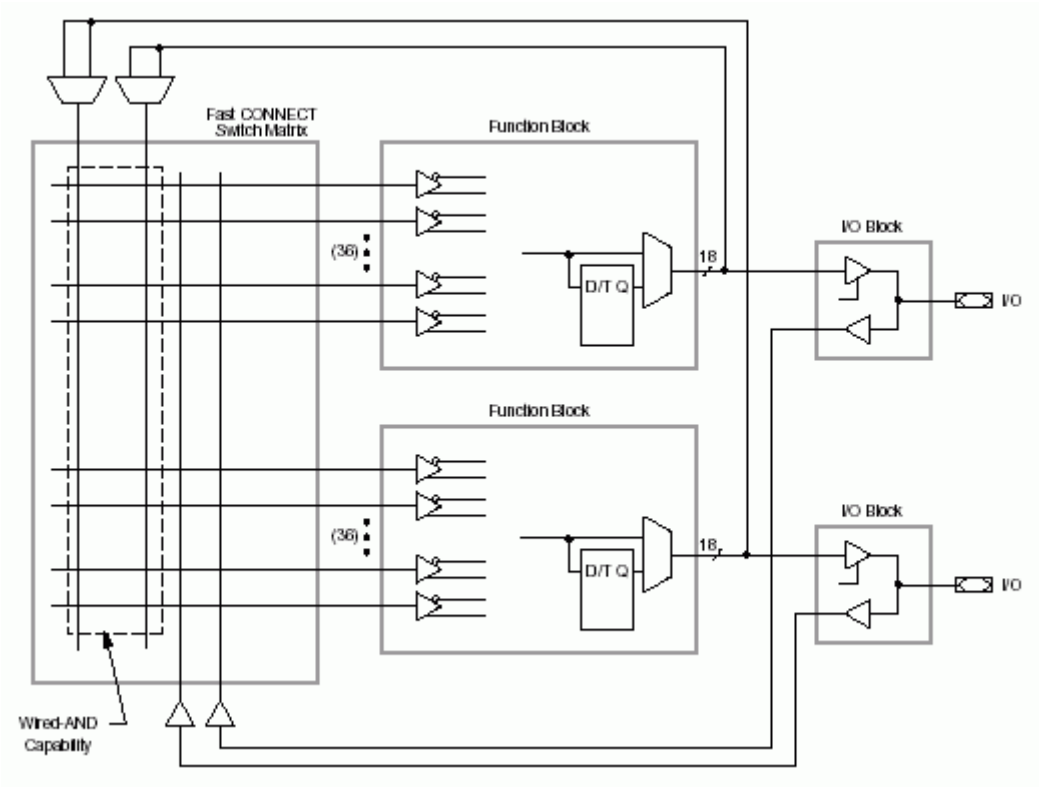


ภาพที่ 10 ลอจิกภายใน Product Term Allocator

ที่มา : http://www.xilinx.com/support/documentation/xc9500.htm

Fast CONNECT Switch Matrix

วงจรของ Fast CONNECT Switch Matrix จะมีสายสัญญาณเชื่อมต่อไปยัง Function Block โดยแต่ละ Function Block จะมีสายสัญญาณจาก Fast CONNECT Switch Matrix จำนวน 36 เส้น วงจร Fast CONNECT Switch Matrix จะมีลักษณะเป็นวงจร Write-AND การทำงานของวงจรจะเป็นตัวป้อนกลับข้อมูลเข้าไปยัง Function Block เพื่อสร้างเป็นวงจรลอจิกเมื่อมีการโปรแกรมข้อมูลตามที่ได้ออกแบบไว้ รายละเอียดแสดงดังภาพที่ 11

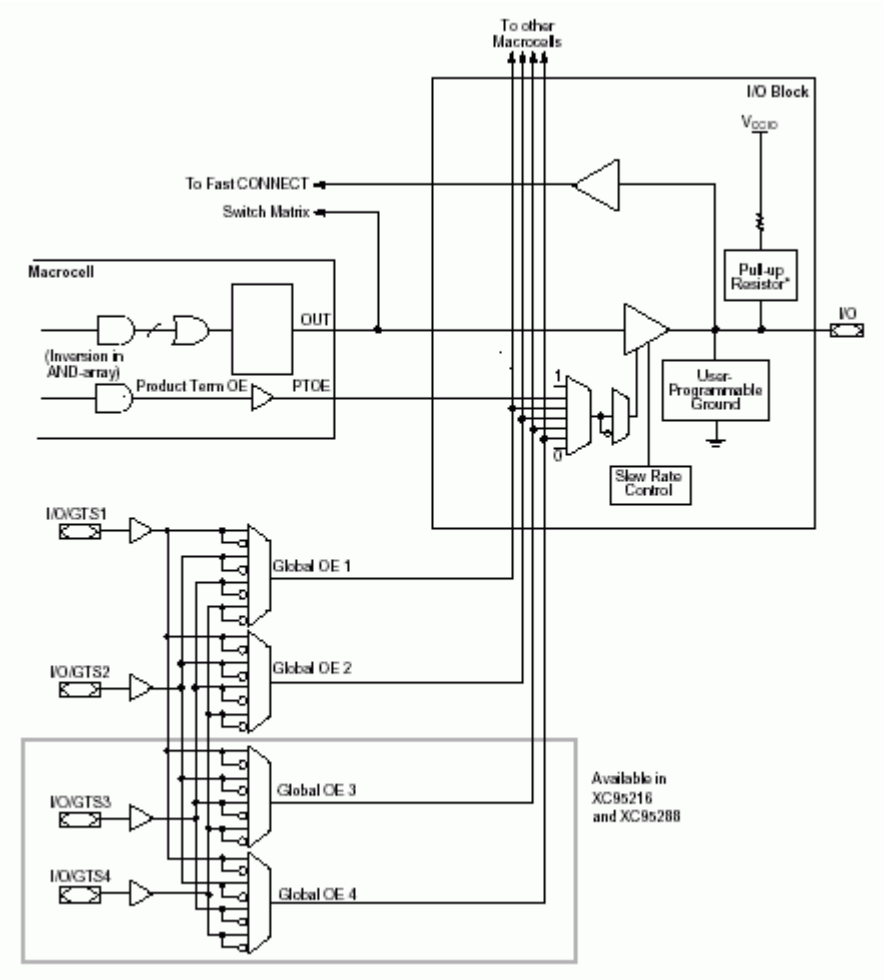


ภาพที่ 11 โครงสร้างภายใน Fast CONNECT Switch Matrix

ที่มา : http://www.xilinx.com/support/documentation/xc9500.htm

I/O Block

เป็นวงจรสุดท้ายที่เชื่อมต่อจาก Macrocell ไปยังขา I/O ของชิพ CPLD วงจรในส่วนของ I/O Block ประกอบด้วยส่วนที่สำคัญต่างๆ คือ Input Buffer ทำหน้าที่รับและปรับสภาพสัญญาณลอจิกที่ป้อนเข้าที่ขา I/O ของชิพ CPLD, Output Buffer ทำหน้าที่ควบคุมการส่งค่าสัญญาณลอจิกออกทางขา I/O ของชิพ CPLD วงจรส่วนนี้สามารถควบคุมค่า Slew Rate และค่า Global Tri-state (GTS) และ Output Enable (OE) ที่เชื่อมต่อสัญญาณควบคุมมาจาก Product Term ได้โดยตรง ที่ขา I/O ยังมีวงจรควบคุม Pull-up Resistor ซึ่งต่ออยู่กับ V_{CCIO} มีหน้าที่กำหนดให้ขา I/O เกิด Pull-up ให้เป็นลอจิก High เพื่อป้องกันสัญญาณรบกวนในขณะที่มีการโปรแกรมข้อมูลลงบนตัวชิพ CPLD และวงจร User Programmable Ground มีไว้สำหรับให้ผู้ใช้งานโปรแกรมสายสัญญาณให้ลงกราวด์ในกรณีที่ขา I/O ไม่ได้นำมาใช้งาน รายละเอียดแสดงดังภาพที่ 12

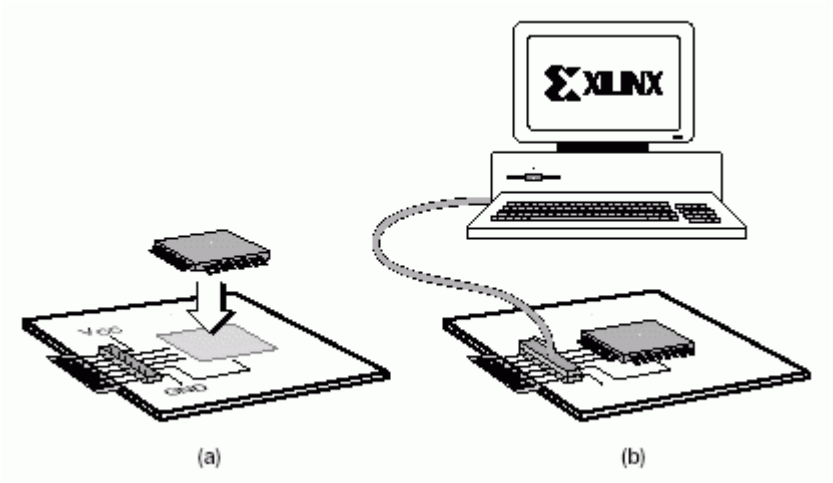


ภาพที่ 12 โครงสร้างภายใน I/O Block

ที่มา : http://www.xilinx.com/support/documentation/xc9500.htm

In-System Programming

CPLD ตระกูล XC9500 สามารถโปรแกรมข้อมูลลงในตัวชิพได้ในขณะมีไฟเลี้ยงวงจร หรือในขณะที่วงจรกำลังทำงาน ซึ่งเรียกระบบนี้ว่า In-System Programming โดยใช้มาตรฐาน JTAG ซึ่งอ้างอิงจากมาตรฐาน IEEE 1149.1 Boundary-Scan และสามารถโปรแกรมข้อมูลซ้ำได้ไม่ต่ำกว่า 10,000 ครั้ง



ภาพที่ 13 การทำงานแบบ In-System Programming
โดยที่ (a) การเชื่อมอุปกรณ์บนแผ่น PCB (b) การโปรแกรมโดยใช้สายดาวน์โหลด
ที่มา : http://www.xilinx.com/support/documentation/xc9500.htm

Design Security

CPLD ตระกูล XC9500 สามารถป้องกันข้อมูลที่โปรแกรมเข้าตัวชิพได้อย่างสมบูรณ์แบบ ทั้งการเขียนข้อมูลและการอ่านข้อมูล ซึ่งผู้ใช้สามารถกำหนดได้โดยการเซ็ตค่า Read Security Bits และ Write Security Bits ตามคุณสมบัติในตารางที่ 3 โดยผู้ใช้สามารถกำหนดฟังก์ชันได้ในขณะที่อยู่ในสถานะ JTAG Program

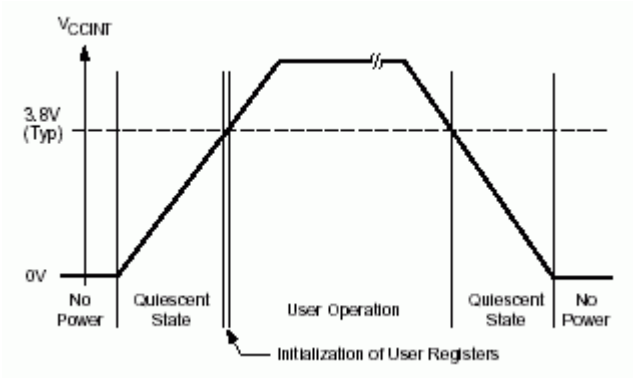
ตารางที่ 3 รูปแบบความปลอดภัยของข้อมูล

		Read Security	
		Default	**Set**
Write Security	**Default**	Read Allowed Program/Erase Allowed	Read Inhibited Program Inhibited Erase Allowed
	Set	Read Allowed Program/Erase Inhibited	Read Inhibited Program/Erase Inhibited

ที่มา : http://www.xilinx.com/support/documentation/xc9500.htm

Power-Up Characteristics

คุณลักษณะขณะเริ่มทำงานของ CPLD ตระกูล XC9500 (รุ่นที่ใช้แรงดันไฟฟ้า 5V) เมื่อเริ่มจ่ายแรงดันไฟฟ้าเข้าเลี้ยงตัวชิพ CPLD วงจรภายในจะถูกควบคุมให้อยู่ในสภาวะ Standby จนกว่าแรงดันไฟฟ้าที่จ่ายให้กับตัวชิพ CPLD จะมีระดับความปลอดภัย ประมาณ 3.8V ระดับนี้ ค่า Pull-up Resistor จะถูกยกเลิก และรีจิสเตอร์ทุกตัวในวงจรจะถูกกำหนดค่าตามที่โปรแกรมตั้งไว้ เวลาที่ใช้ในการเริ่มทำงานปกติหลังจ่ายแรงดันไฟฟ้า จะใช้เวลาประมาณ 100-300 ไมโครวินาที ทั้งนี้ขึ้นอยู่กับขนาดและรุ่นของชิพ CPLD โดยเริ่มตั้งแต่ XC9536 ไปจนถึง XC95288



ภาพที่ 14 คุณลักษณะทางแรงดันไฟฟ้าขณะเริ่มทำงาน

ที่มา : http://www.xilinx.com/support/documentation/xc9500.htm

งานวิจัย และสารสนเทศที่เกี่ยวข้อง

1. งานวิจัย เรื่อง การสร้างและทดลองหาประสิทธิภาพของชุดทดลองวงจรดิจิตอล ลักษณะงานเป็นการพัฒนาชุดทดลองวงจรดิจิตอลในรูปแบบโมดูล ทำให้การใช้สายต่อวงจรน้อยลง ลดความสับสนและยุ่งยากในการใช้สายต่อวงจรบนบอร์ดพื้นฐาน เวลาที่ใช้ในการต่อวงจรน้อยลง แต่ยังคงอยู่ในรูปแบบของไอซีทีทีแอลและซีมอสอยู่เช่นเดิม ทำให้การออกแบบระบบดิจิตอลขนาดใหญ่ทำได้ยากและซับซ้อน (จิระวัฒน์ ใจอ่อนน้อม : 2540)

2. งานวิจัย เรื่อง การออกแบบและสร้างไมโครคอนโทรลเลอร์โดยใช้เอฟพีจีเอ จากการวิจัยนี้ผู้วิจัยได้ศึกษาสถาปัตยกรรมภายในของไมโครคอนโทรลเลอร์ PIC 16C84 ที่นำมาเป็นสถาปัตยกรรมหลักในการออกแบบไมโครคอนโทรลเลอร์ต้นแบบ และข้อจำกัดในการออกแบบต่างๆ และได้ศึกษาคุณสมบัติการใช้อุปกรณ์เอฟพีจีเอมาออกแบบและสร้างไมโครคอนโทรลเลอร์ต้นแบบ ซึ่งงานวิจัยเรื่องนี้นำหลักการออกจากบนลงล่าง มาประยุกต์ใช้ในการออกแบบและสร้างไมโครคอนโทรลเลอร์ต้นแบบ (วัชรากร หนูทอง : 2542)

3. งานวิจัย เรื่อง การสร้างและหาประสิทธิภาพชุดทดลองการออกแบบไมโครโพรเซสเซอร์ 8 บิต เบื้องต้นด้วยไอซีเอฟพีจีเอ งานวิจัยนี้เสนอการสร้างและหาประสิทธิภาพชุดทดลองการออกแบบไมโครโพรเซสเซอร์ 8 บิต เบื้องต้นด้วยไอซีเอฟพีจีเอ วัตถุประสงค์ของการวิจัย เพื่อสร้างและหาประสิทธิภาพของชุดทดลอง ซึ่งประกอบไปด้วยชุดทดลองการออกแบบไมโครโพรเซสเซอร์ 8 บิต เบื้องต้นด้วยไอซีเอฟพีจีเอ คู่มือการทดลอง และแบบทดสอบวัดผลสัมฤทธิ์ทางการเรียน กลุ่มตัวอย่างที่ใช้ในการวิจัย คือ นักศึกษาชั้นปีที่ 3 จำนวน 30 คน สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาครุศาสตร์ไฟฟ้า คณะครุศาสตร์อุตสาหกรรม มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ดำเนินการวิจัยโดยการเรียนด้วยชุดทดลอง และนำคะแนนจากการสอบมาวิเคราะห์เพื่อหาประสิทธิภาพของชุดทดลอง ผลการวิจัยพบว่าชุดทดลองที่สร้างมีประสิทธิภาพเท่ากับ 87.46/88.60 มากกว่าเกณฑ์มาตรฐานที่ตั้งไว้เท่ากับ 80/80 เมื่อนำคะแนนของแบบทดสอบก่อนเรียนและแบบทดสอบหลังเรียนมาทำการวิเคราะห์หาค่าความแตกต่างโดยใช้สถิติ T-test พบว่ามีความแตกต่างกันอย่างมีนัยสำคัญที่ 0.05 แสดงให้เห็นว่าชุดทดลองที่สร้างขึ้นทำให้ผู้เรียนมีผลสัมฤทธิ์ทางการเรียนเพิ่มขึ้น (ขรรค์ชัย ตุลละสกุล : 2544)

4. งานวิจัย เรื่อง การสร้างชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีเอฟพีจีเอ งานวิจัยนี้เสนอการสร้างชุดทดลองการออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีเอฟพีจีเอ มีวัตถุประสงค์ของการวิจัยเพื่อสร้างและหาประสิทธิภาพของชุดทดลอง ซึ่งประกอบไปด้วยบอร์ดทดลองการออกแบบวงจรรวมดิจิตอลด้วยเทคโนโลยีเอฟพีจีเอ ใบงานการทดลอง และแบบทดสอบวัดผลสัมฤทธิ์ทางการเรียน กลุ่มตัวอย่างที่ใช้ในการวิจัย คือ นักศึกษาชั้นปีที่ 3 จำนวน 30 คน สาขาวิชาวิศวกรรมไฟฟ้า ภาควิชาครุศาสตร์ไฟฟ้า คณะครุศาสตร์อุตสาหกรรม มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ดำเนินการวิจัยโดยการเรียนด้วยชุดทดลอง และนำคะแนนจากการสอบมาวิเคราะห์เพื่อหาประสิทธิภาพของชุดทดลอง ผลการวิจัยพบว่าชุดทดลองที่สร้างมีประสิทธิภาพเท่ากับ 88.56/87.90 มากกว่าเกณฑ์มาตรฐานที่ตั้งไว้เท่ากับ 80/80 เมื่อนำคะแนนของแบบทดสอบก่อนเรียนและแบบทดสอบหลังเรียนมาทำการวิเคราะห์หาค่าความแตกต่างโดยใช้สถิติ T-test พบว่ามีความแตกต่างกันอย่างมีนัยสำคัญที่ 0.05 แสดงให้เห็นว่าชุดทดลองที่สร้างขึ้นทำให้ผู้เรียนมีผลสัมฤทธิ์ทางการเรียนเพิ่มขึ้น (ขรรค์ชัย ตุลละสกุล : 2546)

5. ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีมหานคร เปิดการสอน วิชา การออกแบบระบบดิจิตอลแนวใหม่ ซึ่งในภาคปฏิบัติใช้ CPLD และ FPGA ของบริษัท Xilinx และ Altera เป็นอุปกรณ์หลักในการทดลองตามใบงาน ซึ่งสอดคล้องกับงานวิจัย เรื่อง การพัฒนาชุดทดลองออกแบบวงจรรวมดิจิตอล ที่ใช้ CPLD ตระกูล XC9500 ของ Xilinx Inc. และ CPLD ตระกูล MAX7000 ของ Altera Corporation เป็นอุปกรณ์หลักในการทดลอง

6. งานวิจัย เรื่อง การพัฒนาชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA กลุ่มตัวอย่างที่ใช้ในการวิจัยเป็นผู้ที่จบการศึกษาในระดับปริญญาตรีที่มีความรู้ทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์ จำนวน 12 คน โดยแบ่งกลุ่มตัวอย่างออกเป็น 3 กลุ่ม กลุ่มละ 4 คน คือ กลุ่มตัวอย่างที่มีความรู้ทางด้านดิจิตอล กลุ่มตัวอย่างที่มีความรู้ทางด้านสถาปัตยกรรมคอมพิวเตอร์ และกลุ่มตัวอย่างที่มีความรู้ทั้งทางด้านดิจิตอลและสถาปัตยกรรมคอมพิวเตอร์ ผลการวิจัยสรุปว่า ชุดฝึกทดลองการออกแบบหน่วยประมวลผลกลางขนาด 8 บิต 16 คำสั่งโดยใช้ FPGA มีการทำงานที่ถูกต้อง โดยกลุ่มตัวอย่างที่ทดลองใช้งานชุดฝึกทดลอง และใบงานการทดลองมีความพึงพอใจต่อการใช้งานอยู่ในระดับมาก ซึ่งงานวิจัยเรื่องนี้ใช้หลักการออกจากบนลงล่างในการพัฒนาชุดฝึกทดลอง (มั่นคง มณีรัตนรุ่งโรจน์ : 2546)

7. ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ สำนักพัฒนาสมรรถนะครูและบุคลากรอาชีวศึกษา ได้จัดฝึกอบรมเรื่อง การพัฒนาและออกแบบวงจรดิจิตอลด้วย CPLD และ FPGA ซึ่งผู้จัดฝึกอบรมให้เหตุผลที่จัดฝึกอบรมเรื่องนี้ คือ วิทยาการด้านการออกแบบวงจรดิจิตอลลอจิกมีความก้าวหน้าไปมาก ได้เปลี่ยนจากการออกแบบด้วยอุปกรณ์ไอซีประเภท TTL หรือ CMOS ธรรมดา ไปเป็นชิพที่โปรแกรมได้ และมีความหนาแน่นของจำนวนลอจิกเกตสูง ที่สามารถทดแทนอุปกรณ์ TTL หรือ CMOS ได้ เป็นระดับหลายร้อยพันเท่าตัว CPLD (Complex Programmable Logic Device) และ FPGA (Filled Programmable Gate Array) เป็นอุปกรณ์สำคัญตัวหนึ่งที่กำลังจะเข้ามาทดแทนการใช้งานของ TTL หรือ CMOS เนื่องจากการออกแบบวงจรลอจิกในปัจจุบันมีความซับซ้อนของระบบและวงจรสูงมาก ผนวกกับการที่ต้องแข่งขันการพัฒนาออกแบบเพื่อนำไปปรับปรุงตัวสินค้าจำเป็นที่ต้องใช้อุปกรณ์ที่มีความยืดหยุ่นในการปรับปรุงเปลี่ยนแปลงวงจร ทำให้มีการนำอุปกรณ์ CPLD และ FPGA มาใช้ในการออกแบบและพัฒนาวงจรดิจิตอลแทนแบบเดิมที่ต้องใช้ ไอซีประเภท TTL หรือ CMOS นำมาต่อวงจรใน Proto board ที่ทำได้ล่าช้า มีโอกาสผิดพลาดมาก กินกำลังไฟมาก และแผงวงจรมีขนาดใหญ่โตมาก ดังนั้นจึงจำเป็นที่ผู้ศึกษาวงจรดิจิตอลแบบเดิมเป็นพื้นฐานมาแล้ว ต้องศึกษาและปฏิบัติเพื่อฝึกทักษะเพิ่มเติมในด้านการออกแบบและพัฒนาวงจรดิจิตอลด้วยชิพ CPLD และ FPGA (สมบูรณ์ เนียมกล่ำ : 2549)

8. Embedded System คือ ระบบอิเล็กทรอนิกส์ที่ใช้สำหรับงานควบคุมรวมถึงการแสดงผลการทำงานต่าง ๆ โดยที่ระบบเหล่านี้ถูกใช้เป็นส่วนหนึ่งของระบบและอุปกรณ์ควบคุม เครื่องมือเครื่องจักรต่าง ๆ การใช้คำว่า “ระบบสมองกลแบบฝังตัว” หรือระบบคอมพิวเตอร์ฝังตัว เนื่องจากระบบเหล่านี้เป็นส่วนหนึ่งของระบบใหญ่ ในหลายกรณีที่ผู้ใช้ทั่วไปอาจไม่ทราบว่าอุปกรณ์ควบคุมเครื่องมือเครื่องจักรรวมถึงระบบใดที่ใช้งานเป็นประจำเหล่านั้นเป็นระบบแบบฝังตัว ในบางครั้งแม้แต่ผู้ที่มีความรู้ทางด้านเทคนิคก็ไม่สามารถระบุได้แน่ชัดว่าอุปกรณ์ใดมีระบบสมองกลฝังตัวอยู่

จนกว่าจะมีการทำงานและตรวจสอบกับระบบ และอุปกรณ์ควบคุมนั้นระยะหนึ่งเลยที่เดียว ระบบสมองกลฝังตัว (Embedded System) แม้ว่าไม่ใช่เครื่องคอมพิวเตอร์ แต่ก็มีระบบคอมพิวเตอร์อยู่ภายใน อาจจะเป็นไมโครโปรเซสเซอร์ หรือไมโครคอนโทรลเลอร์เป็นชิพเพียงตัวเดียว หรือหลายตัวรวมกันเป็นระบบหรืออาจจะมีคอมพิวเตอร์ทั้งระบบที่ซับซ้อนก็ได้ โดยมีหลักการทำงาน คือ มีสัญญาณเข้า (Input) จากอุปกรณ์ภายนอกซึ่งได้แก่อุปกรณ์เซนเซอร์ (Sensors) ต่างๆ มีการประมวลผลที่ MCU และมีสัญญาณผลลัพธ์ออก (Output) ของระบบไปควบคุมบังคับสวิตซ์เครื่องควบคุมต่าง ๆ เช่นสวิตซ์เครื่องจักร หรือ วาล์วควบคุมทิศทางการไหลของท่อทางต่างๆ นอกจากนี้แบบและรุ่นของระบบสมองกลแบบฝังตัว (Embedded System) ก็มีมากมายทั้งระบบที่เป็นแบบง่ายๆ การทำงานไม่ซับซ้อน ตลอดจนเป็นระบบที่ซับซ้อน ซึ่งขึ้นอยู่กับประเภทและจำนวนไมโครโพรเซสเซอร์ รวมถึงงานโปรแกรมควบคุมในระบบ Embedded Chips เช่น CPLD, FPGA และ ASIC เป็นต้น (สมบูรณ์ เนียมกล่ำ : 2550)

9. ระบบสมองกลฝังตัวจะแทรกซึมเข้าไปในสิ่งต่างๆ รอบตัวเราทั้งหมด โดยมีคอมพิวเตอร์แฝงตัวอยู่ในทุกที่ ไม่จำกัดเฉพาะในหุ่นยนต์เหมือนในภาพยนตร์หลายๆ เรื่องเท่านั้น แต่เครื่องใช้ต่างๆ จะได้รับการติดตั้งระบบสมองกลฝังตัวเพื่อช่วยในการทำงานด้วย เพื่อให้มันสามารถติดต่อสื่อสารและโต้ตอบกับมนุษย์ได้อย่างชาญฉลาดประหนึ่งสิ่งมีชีวิตจริงๆ “ในการจัดอันดับนวัตกรรมที่จะทวีความสำคัญใน 5 ปีข้างหน้าของไอบีเอ็ม ก็ยังจัดให้ 1 ใน 5 นวัตกรรมที่พลิกผันวิถีชีวิตคนทั่วโลก คือ โทรศัพท์ฉลาด ที่มีระบบสมองกลฝังตัวควบคุมการทำงานอยู่ ” อย่างไรก็ตาม เราก็ยังพบว่า ปัจจุบันประเทศไทยยังขาดแคลนบุคลากรด้านสมองกลฝังตัวอยู่มาก ขณะที่ไทยเป็นฐานการผลิตเครื่องใช้ไฟฟ้า ชิ้นส่วนอิเล็กทรอนิกส์ และรถยนต์ที่สำคัญของนักลงทุนต่างชาติมากมาย โดยเฉพาะญี่ปุ่นซึ่งเป็นจ้าวแห่งเทคโนโลยีสมองกลฝังตัวของโลก จึงสมควรอย่างยิ่งที่ไทยควรเร่งพัฒนาบุคลากรด้านนี้ขึ้นมาโดยเร็ว เพื่อรักษาฐานการผลิตสินค้าพร้อมๆ ไปกับการสร้างฐานการผลิตระบบสมองกลฝังตัวของตัวเองขึ้นมาอย่างมั่นคง (ศ.ดร.ยงยุทธ ยุทธวงศ์ : 2550)