โครงการวิจัย การพัฒนาชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยี
ระบบสมองกลฝังตัว
ผู้วิจัย สุรศักดิ์ อินทร์จันทร์
คณะ วิทยาศาสตร์และเทคโนโลยี
มหาวิทยาลัย มหาวิทยาลัยราชภัฏหมู่บ้านจอมบึง
ปีการศึกษา 255 2

บทคัดย่อ

งานวิจัยการพัฒนาชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว จัดทำขึ้นเพื่อใช้เป็นชุดทดลองออกแบบวงจรรวมทางด้านดิจิตอลโดยใช้ชิพ CPLD ตระกูล XC9500 เบอร์ XC95108 PC84-15C และตระกูล MAX7000 เบอร์ EPM7128S LC84-15C เป็นอุปกรณ์หลักในการทดลอง

ชุดทดลองออกแบบวงจรรวมดิจิตอลมีทั้งหมด 10 ชุด แต่ละชุดประกอบไปด้วยวงจรย่อย 14 วงจร ได้แก่ วงจร XC9500 and MAX7000 CPLD, วงจร ISP (In-System Programming) Download, วงจร Power Supply, วงจร 16 Bit Logic Monitor, วงจร 5x7 Dot Matrix, วงจร BCD to 7 Segment, วงจร Direct 7 Segment, วงจร 8 Bit Input Switch, วงจร 8 Bit DIP Switch, วงจร 4x4 Matrix Switch, วงจร Clock Generator, วงจร Buzzer Generator, วงจร Pulse Switch Generator และวงจร 840 Point Photo Board

ทดสอบชุดทดลองออกแบบวงจรรวมดิจิตอลตามหัวข้อการทดลองภาคปฏิบัติรายวิชาการออกแบบระบบดิจิตอล โดยใช้เทคโนโลยีระบบสมองกลฝังตัว 3 วิธี คือ การเขียนวงจร, การเขียนโปรแกรม VHDL และการเขียนโปรแกรม Verilog HDL ภายใต้หัวข้อการทดลอง 6 หัวข้อ ได้แก่ Combination and Logic, Arithmetic and Logical Unit, Multiplex and Demultiplex, Decoder and Encoder, Latch and Flip-Flop และ Synchronous and Asynchronous Counter

ผลการทดสอบชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว ทั้ง 3 วิธี ด้วยซอฟต์แวร์ ISE WebPACK 8.1i และ Quartus II Web Edition 9.1 ชุดทดลองสามารถทำงานได้ถูกต้องและเปอร์เซ็นต์ความผิดพลาดไม่เกิน $\pm$1% ทุกหัวข้อการทดลอง ผลสรุปชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว สามารถนำไปประยุกต์ใช้ในการเรียนการสอนที่เกี่ยวกับการออกแบบระบบดิจิตอล

Research Title The Development of Digital Integrated Circuit Design Experimental Sets Using Embedded System Technology

Researcher Surasak Inchan

Faculty Science and Technology

University Muban ChomBueng Rajabhat University

Academic Year 2009

Abstract

The research, “The Development of Digital Integrated Circuit Design Experimental Sets Using Embedded System Technology”, was conducted to develop some experimental sets for use in digital integrated circuit design by using chip number XC95108 PC84-15C of the CPLD XC9500 family and chip number EMP7128S LC84-15C of the MAX7000 family as the main devices**.**

There were 10 digital integrated circuit design experimental sets. Each set was assembled with 14 branch circuits. They were composed of XC9500 and MAX7000 CPLD, ISP (In-System Programming) Download, Power Supply, 16 Bit LED, 5x7 Dot Matrix, BCD to 7 Segment, Direct 7 Segment, 8 Bit Input Switch, 8 Bit DIP Switch, 4x4 Matrix Switch, Clock Generator, Buzzer Generator, Pulse Switch Generator and 840 Point Photo Board.

The digital integrated circuit design experimental sets which were designed by using 3 embedded system technology methods: Schematic, VHDL programming and Verilog HDL programming were tested on 6 topics assigned as laboratory work in a digital system design course. The topics were Combination and Logic, Arithmetic and Logical Unit, Multiplex and Demultiplex, Decoder and Encoder, Latch and Flip-Flop, and Synchronous and Asynchronous Counter.

It was found that the experimental sets which were tested using ISE WebPACK 8.1i and Quartus II Web Edition 9.1 software worked accurately and properly in every trial, within $\pm$1% errors. In conclusion, all the digital integrated circuit design experimental sets using embedded system technology could be applied to teaching and learning the digital system design.

กิตติกรรมประกาศ

งานวิจัยเรื่องนี้สำเร็จลุล่วงได้ โดยได้รับการสนับสนุนและร่วมมืออย่างดียิ่งจากหลายฝ่าย ได้แก่ สถาบันวิจัยและพัฒนา โปรแกรมวิชาเทคโนโลยีไฟฟ้า คณะวิทยาศาสตร์และเทคโนโลยี มหาวิทยาลัยราชภัฏหมู่บ้านจอมบึง ที่ให้การสนับสนุนดำเนินการวิจัยรวมทั้งอำนวยความสะดวกในการใช้อุปกรณ์ที่เกี่ยวข้องกับงานวิจัย

ขอขอบพระคุณอาจารย์ณรงค์ ทองฉิม และอาจารย์สมบูรณ์ เนียมกล่ำ ที่ให้ข้อแนะนำในการออกแบบและสร้างชุดทดลองเพื่อใช้ในงานวิจัย

ขอขอบคุณ นายเรวัฒน์ ชินพัฒนวานิช นายชัยรัตน์ ชินพัฒนวานิช และนางสาวพุทธพร พุ่มโรจน์ ที่ช่วยเหลือทางด้านเครื่องมือ และเอกสารที่ใช้ในงานวิจัย

คุณค่า และประโยชน์ของงานวิจัยนี้ ข้าพเจ้าขอมอบความดีทั้งหมดแด่ผู้มีพระคุณทุกท่าน

สุรศักดิ์ อินทร์จันทร์
ผู้วิจัย

สารบัญ

หน้า

บทคัดย่อภาษาไทย ก
บทคัดย่อภาษาอังกฤษ ข
กิตติกรรมประกาศ ค
สารบัญ ง
สารบัญตาราง ฉ
สารบัญภาพ ช
บทที่ 1 บทนำ 1
ความสำคัญ และที่มาของปัญหาที่ทำการวิจัย 1
วัตถุประสงค์ของโครงการวิจัย 3
นิยามศัพท์ที่ใช้ในการวิจัย 3
ขอบเขตของโครงการวิจัย 4
ประโยชน์ที่ได้รับ และหน่วยงานที่นำผลการวิจัยไปใช้ประโยชน์ 5
บทที่ 2 ทฤษฎีและงานวิจัยที่เกี่ยวข้อง 6
ทฤษฎีหรือกรอบแนวความคิดที่เกี่ยวข้องกับการวิจัย 6
การออกแบบและสร้างชุดทดลอง 11
โครงสร้างและหลักการทำงานของ CPLD 13
งานวิจัย และสารสนเทศที่เกี่ยวข้อง 27
บทที่ 3 วิธีดำเนินการวิจัย 31
การพัฒนาชุดทดลองออกแบบวงจรรวมดิจิตอล 31
การออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว 50
บทที่ 4 ผลการวิจัย 58
ผลการดำเนินงาน 58
ผลการทดลอง 73

สารบัญ (ต่อ)

หน้า

บทที่ 5 สรุปผล ปัญหาและข้อเสนอแนะ 77

สรุปผลการสร้างชุดทดลองออกแบบวงจรรวมดิจิตอล 77

ปัญหาและแนวทางแก้ไข 78

ข้อเสนอแนะเพื่อเป็นแนวทางในการพัฒนา 78

บรรณานุกรม 79

ภาคผนวก 81

ภาคผนวก ก รายการอุปกรณ์ และตำแหน่งการลงอุปกรณ์บน PCB 82

ภาคผนวก ข ประวัติผู้วิจัย 88

สารบัญตาราง

ตารางที่		หน้า
1	CPLD ตระกูล XC9500	16
2	จำนวนอินพุตและเอาต์พุตในแต่ละรุ่น	16
3	รูปแบบความปลอดภัยของข้อมูล	26
4	ความสัมพันธ์ระหว่างหัวข้อการทดลองกับวงจรย่อยที่ใช้ในการทดลอง	73
5	เปอร์เซ็นต์ความผิดพลาดจากการทดลองออกแบบวงจรรวมดิจิตอลทั้ง 3 วิธี	75

สารบัญภาพ

ภาพที่ **หน้า**

1 กระบวนการออกแบบจากบนลงล่าง 6
2 กระบวนการพัฒนาชุดทดลองออกแบบวงจรรวมดิจิตอล 9
3 สถาปัตยกรรมภายใน XC9500 17
4 โครงสร้างภายใน Function Block 18
5 โครงสร้างภายใน Macrocell 19
6 สายสัญญาณที่ต่อเข้าไปยัง Macrocell 20
7 Logic Macrocell โดยใช้ Direct Product Term 20
8 Product Term Allocation ที่ประกอบด้วย 15 Product Terms 21
9 Product Term Allocation ที่เชื่อมต่อกับ Macrocell หลายวงจร 22
10 ลอจิกภายใน Product Term Allocator 23
11 โครงสร้างภายใน Fast CONNECT Switch Matrix 24
12 โครงสร้างภายใน I/O Block 25
13 การทำงานแบบ In-System Programming 26
14 คุณลักษณะทางแรงดันไฟฟ้าขณะเริ่มทำงาน 27
15 ขั้นตอนการสร้างชุดทดลองออกแบบวงจรรวมดิจิตอล 34
16 CPLD ตระกูล XC9500 36
17 CPLD ตระกูล MAX7000 37
18 ลายวงจร ISP (In-System Programming) Download 38
19 ลายวงจร Power Supply 38
20 ลายวงจร 16 Bit Logic Monitor 39
21 ลายวงจร 5x7 Dot Matrix 40
22 ลายวงจร BCD to 7 Segment 40
23 ลายวงจร Direct 7 Segment 41
24 ลายวงจร 8 Bit Input Switch 42
25 ลายวงจร 8 Bit DIP Switch 42

สารบัญภาพ (ต่อ)

ภาพที่		หน้า
26	ลายวงจร 4x4 Matrix Switch	43
27	ลายวงจร Clock Generator	44
28	ลายวงจร Buzzer Generator	44
29	ลายวงจร Pulse Switch Generator	45
30	การออกแบบวงจรโดยใช้โปรแกรม OrCAD Capture 7.2	46
31	จำลองการทำงานของวงจรโดยใช้โปรแกรม MicroSim Design LAB 8.0	47
32	ตัวอย่าง PCB แบบเอนกประสงค์	47
33	การออกแบบ PCB ของวงจรทั้งหมดโดยใช้โปรแกรม Protel DXP	48
34	การใช้โปรแกรม Protel DXP เดินจุดเชื่อมต่อลายวงจร	49
35	เครื่องมือที่ใช้ประกอบอุปกรณ์ลง PCB	49
36	ขั้นตอนการออกแบบวงจรรวมดิจิตอล	50
37	การออกแบบด้วยวิธีวาดผังวงจร (Schematic)	51
38	การออกแบบด้วยภาษาระดับสูง (HDL)	52
39	การออกแบบด้วยวิธีการเขียนแผนภูมิสถานะ (State Diagram)	53
40	การสังเคราะห์วงจร	54
41	สัญญาณที่ได้จากการจำลองการทำงานของวงจรที่ออกแบบ	55
42	การเตรียมไฟล์ข้อมูลสำหรับ Download ลงชิพ CPLD	56
43	การโปรแกรมข้อมูลลงชิพ CPLD	57
44	วงจร XC9500 and MAX7000 CPLD	58
45	วงจร ISP (In-System Programming) Download	59
46	วงจร Power Supply	60
47	วงจร 16 Bit Logic Monitor	60
48	วงจร 5x7 Dot Matrix	61
49	วงจร BCD to 7 Segment	62
50	วงจร Direct 7 Segment	62

สารบัญภาพ (ต่อ)

ภาพที่ **หน้า**

51 วงจร 8 Bit Input Switch 63

52 วงจร 8 Bit DIP Switch 63

53 วงจร 4x4 Matrix Switch 64

54 วงจร Clock Generator 64

55 วงจร Buzzer Generator 65

56 วงจร Pulse Switch Generator 65

57 วงจร 840 Point Photo Board 66

58 ชุดทดลองออกแบบวงจรรวมดิจิตอลต้นแบบ 67

59 ฝาครอบกล่องสำหรับจัดเก็บสายต่อวงจร 68

60 กล่องสำหรับจัดเก็บสายต่อวงจร 68

61 ฝาครอบกล่องสำหรับจัดเก็บ Adapter และสายเชื่อมต่อ DB25 69

62 กล่องสำหรับจัดเก็บ Adapter และสายเชื่อมต่อ DB25 69

63 Package สำหรับเชื่อมต่ออุปกรณ์ต่อพ่วง 70

64 พื้นที่ใช้งานชุดทดลองออกแบบวงจรรวมดิจิตอล 70

65 การประกอบตัวล็อคและชุดจับ Package 71

66 Package สำหรับชุดทดลองออกแบบวงจรรวมดิจิตอล 71

67 เปรียบเทียบ Package ชุดทดลองต้นแบบและชุดทดลองที่สมบูรณ์ 72

68 ชุดทดลองออกแบบวงจรรวมดิจิตอล จำนวน 10 ชุด 72