การพัฒนาชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว

สุรศักดิ์ อินทร์จันทร์*

บทคัดย่อ

งานวิจัยการพัฒนาชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว จัดทำขึ้นเพื่อใช้เป็นชุดทดลองออกแบบวงจรรวมทางด้านดิจิตอลโดยใช้ชิพ CPLD ตระกูล XC9500 เบอร์ XC95108 PC84-15C และตระกูล MAX7000 เบอร์ EPM7128S LC84-15C เป็นอุปกรณ์หลักในการทดลอง

ชุดทดลองออกแบบวงจรรวมดิจิตอลมีทั้งหมด 10 ชุด แต่ละชุดประกอบไปด้วยวงจรย่อย 14 วงจร ได้แก่ วงจร XC9500 and MAX7000 CPLD, วงจร ISP (In-System Programming) Download, วงจร Power Supply, วงจร 16 Bit Logic Monitor, วงจร 5x7 Dot Matrix, วงจร BCD to 7 Segment, วงจร Direct 7 Segment, วงจร 8 Bit Input Switch, วงจร 8 Bit DIP Switch, วงจร 4x4 Matrix Switch, วงจร Clock Generator, วงจร Buzzer Generator, วงจร Pulse Switch Generator และวงจร 840 Point Photo Board

ทดสอบชุดทดลองออกแบบวงจรรวมดิจิตอลตามหัวข้อการทดลองภาคปฏิบัติรายวิชาการออกแบบระบบดิจิตอล โดยใช้เทคโนโลยีระบบสมองกลฝังตัว 3 วิธี คือ การเขียนวงจร, การเขียนโปรแกรม VHDL และการเขียนโปรแกรม Verilog HDL ภายใต้หัวข้อการทดลอง 6 หัวข้อ ได้แก่ Combination and Logic, Arithmetic and Logical Unit, Multiplex and Demultiplex, Decoder and Encoder, Latch and Flip-Flop และ Synchronous and Asynchronous Counter

ผลการทดสอบชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว ทั้ง 3 วิธี ด้วยซอฟต์แวร์ ISE WebPACK 8.1i และ Quartus II Web Edition 9.1 ชุดทดลองสามารถทำงานได้ถูกต้องและเปอร์เซ็นต์ความผิดพลาดไม่เกิน $\pm$1% ทุกหัวข้อการทดลอง ผลสรุปชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว สามารถนำไปประยุกต์ใช้ในการเรียนการสอนที่เกี่ยวกับการออกแบบระบบดิจิตอล

คำสำคัญ

ชุดทดลอง วงจรรวมดิจิตอล ระบบสมองกลฝังตัว

---

*พนักงานราชการประจำโปรแกรมวิชาเทคโนโลยีไฟฟ้า คณะวิทยาศาสตร์และเทคโนโลยี มหาวิทยาลัยราชภัฏหมู่บ้านจอมบึง อ.จอมบึง จ.ราชบุรี โทร. 0-3226-1790 ต่อ 3117

Abstract

The research, “The Development of Digital Integrated Circuit Design Experimental Sets Using Embedded System Technology”, was conducted to develop some experimental sets for use in digital integrated circuit design by using chip number XC95108 PC84-15C of the CPLD XC9500 family and chip number EMP7128S LC84-15C of the MAX7000 family as the main devices**.**

There were 10 digital integrated circuit design experimental sets. Each set was assembled with 14 branch circuits. They were composed of XC9500 and MAX7000 CPLD, ISP (In-System Programming) Download, Power Supply, 16 Bit LED, 5x7 Dot Matrix, BCD to 7 Segment, Direct 7 Segment, 8 Bit Input Switch, 8 Bit DIP Switch, 4x4 Matrix Switch, Clock Generator, Buzzer Generator, Pulse Switch Generator and 840 Point Photo Board.

The digital integrated circuit design experimental sets which were designed by using 3 embedded system technology methods: Schematic, VHDL programming and Verilog HDL programming were tested on 6 topics assigned as laboratory work in a digital system design course. The topics were Combination and Logic, Arithmetic and Logical Unit, Multiplex and Demultiplex, Decoder and Encoder, Latch and Flip-Flop, and Synchronous and Asynchronous Counter.

It was found that the experimental sets which were tested using ISE WebPACK 8.1i and Quartus II Web Edition 9.1 software worked accurately and properly in every trial, within $\pm$1% errors. In conclusion, all the digital integrated circuit design experimental sets using embedded system technology could be applied to teaching and learning the digital system design.

Keywords

Experimental Sets Digital Integrated Circuit Embedded System

ความสำคัญ และที่มาของปัญหาที่ทำการวิจัย

ในการออกแบบวงจรรวมดิจิตอลในอดีต ผู้ออกแบบอาจจะใช้อุปกรณ์ประเภทไอซี (Integrated Circuit : IC) ตระกูลทีทีแอล (TTL 74XX) หรือซีมอส (CMOS 40XX) ที่อยู่ในรูปของลอจิกเกตชนิดต่างๆ เช่น OR, AND, NOR, NAND, NOT และ FLIP-FLOP นำมาต่อร่วมกันเป็นวงจรรวมดิจิตอลที่เราต้องการ ทำให้ต้องใช้ไอซีเบอร์ต่างๆ จำนวนมากและต้องใช้สายต่อวงจรจำนวนมากเพื่อต่อวงจร ซึ่งบ่อยครั้งอาจทำให้เกิดความสับสนขณะต่อวงจรที่ได้ออกแบบไว้ ถ้ามีข้อผิดพลาดเกิดขึ้นอาจจะทำให้ค้นหาข้อผิดพลาดได้ยาก อีกทั้งคุณภาพของอุปกรณ์เองยังเป็นปัญหาในการต่อวงจร ทำให้ต้นทุนสูง สิ้นเปลืองงบประมาณ เพราะต้องจัดซื้ออุปกรณ์เพื่อสำรองเก็บไว้เลือกใช้ทดลองต่อวงจรเป็นจำนวนมาก และอาจจะต้องซื้อเครื่องมือทดสอบอุปกรณ์ เพื่อทดสอบอุปกรณ์ว่าดี เสีย อย่างไร นอกจากนี้ผู้ออกแบบยังต้องคำนึงถึงปัญหาของสัญญาณรบกวนที่อาจจะเกิดขึ้นในการออกแบบลายวงจรอีกด้วย งานวิจัยเรื่อง การสร้างและทดลองหาประสิทธิภาพของชุดทดลองวงจรดิจิตอล ลักษณะงานเป็นการพัฒนาชุดทดลองวงจรดิจิตอลในรูปแบบโมดูล ทำให้การใช้สายต่อวงจรน้อยลง ลดความสับสนและยุ่งยากในการใช้สายต่อวงจรบนบอร์ดพื้นฐาน เวลาที่ใช้ในการต่อวงจรน้อยลง แต่ยังคงอยู่ในรูปแบบของไอซีทีทีแอลและซีมอสอยู่เช่นเดิม (จิระวัฒน์ ใจอ่อนน้อม : 2540) ซึ่งยังเป็นปัญหาสำคัญดังสาเหตุที่กล่าวมาแล้ว

วิทยาการด้านการออกแบบวงจรดิจิตอลลอจิกมีความก้าวหน้าไปมาก ได้เปลี่ยนจากการออกแบบด้วยอุปกรณ์ไอซีประเภท TTL หรือ CMOS ธรรมดา ไปเป็นชิพที่โปรแกรมได้ และมีความหนาแน่นของลอจิกเกตสูง ที่สามารถทดแทนอุปกรณ์ TTL หรือ CMOS ได้ เป็นระดับหลายร้อยพันเท่าตัว CPLD (Complex Programmable Logic Device) และ FPGA (Filled Programmable Gate Array) เป็นอุปกรณ์สำคัญตัวหนึ่งที่กำลังจะเข้ามาทดแทนการใช้งานของ TTL หรือ CMOS เนื่องจากการออกแบบวงจรลอจิกในปัจจุบันมีความซับซ้อนของระบบและวงจรสูงมาก ผนวกกับการที่ต้องแข่งขันการพัฒนาออกแบบเพื่อนำไปปรับปรุงตัวสินค้า จำเป็นที่ต้องใช้อุปกรณ์ที่มีความยืดหยุ่นในการปรับปรุงเปลี่ยนแปลงวงจร ทำให้มีการนำอุปกรณ์ CPLD และ FPGA มาใช้ในการออกแบบและพัฒนาวงจรดิจิตอลแทนแบบเดิมที่ต้องใช้ ไอซีประเภท TTL หรือ CMOS นำมาต่อวงจรใน Proto board ที่ทำได้ล่าช้า มีโอกาสผิดพลาดมาก กินกำลังไฟมาก และแผงวงจรมีขนาดใหญ่โตมาก ดังนั้นจึงจำเป็นที่ผู้ศึกษาวงจรดิจิตอลแบบเดิมเป็นพื้นฐานมาแล้ว ต้องศึกษาและปฏิบัติเพื่อฝึกทักษะเพิ่มเติมในด้านการออกแบบและพัฒนาวงจรดิจิตอลด้วยชิพ CPLD และ FPGA

ระบบสมองกลฝังตัว คือระบบประมวลผลที่ใช้ชิพไมโครโปรเซสเซอร์ หรือชิพที่ออกแบบมาโดยเฉพาะ (CPLD, FPGA หรือ ASIC) เป็นระบบคอมพิวเตอร์ขนาดจิ๋วที่นำไปฝังไว้ในอุปกรณ์อิเล็กทรอนิกส์ต่างๆ เพื่อเพิ่มความฉลาดและความสามารถให้กับอุปกรณ์เหล่านั้นผ่านทางซอฟต์แวร์ที่ใช้พัฒนาระบบ ระบบสมองกลฝังตัวจะแทรกซึมเข้าไปในสิ่งต่างๆ รอบๆ ตัวเราทั้งหมด โดยมีคอมพิวเตอร์แฝงตัวอยู่ในทุกๆ ที่ ไม่จำกัดเฉพาะในหุ่นยนต์เหมือนในภาพยนตร์

หลายๆ เรื่องเท่านั้น แต่เครื่องใช้ต่างๆ จะได้รับการติดตั้งระบบสมองกลฝังตัวเพื่อช่วยในการทำงานด้วย เพื่อให้สามารถติดต่อสื่อสารและโต้ตอบกับมนุษย์ได้อย่างชาญฉลาดประหนึ่งสิ่งมีชีวิตจริงๆ ซึ่งในการจัดอันดับนวัตกรรมที่จะทวีความสำคัญใน 5 ปี ข้างหน้าของไอบีเอ็ม จัดให้ 1 ใน 5 นวัตกรรมที่พลิกผันวิถีชีวิตคนทั่วโลก คือ โทรศัพท์ฉลาด ที่มีระบบสมองกลฝังตัวควบคุมการทำงาน อย่างไรก็ตาม ปัจจุบันพบว่าประเทศไทยยังขาดแคลนบุคลากรด้านระบบสมองกลฝังตัวอยู่มาก ขณะที่ไทยเป็นฐานการผลิตเครื่องใช้ไฟฟ้า ชิ้นส่วนอิเล็กทรอนิกส์ และรถยนต์ที่สำคัญของนักลงทุนต่างชาติมากมาย โดยเฉพาะญี่ปุ่นซึ่งเป็นจ้าวแห่งเทคโนโลยีระบบสมองกลฝังตัวของโลก จึงสมควรอย่างยิ่งที่ไทยควรเร่งพัฒนาบุคลากรด้านนี้ขึ้นมาโดยเร็ว เพื่อรักษาฐานการผลิตสินค้าพร้อมๆ ไปกับการสร้างฐานการผลิตระบบสมองกลฝังตัวของตัวเองขึ้นมาอย่างมั่นคง (ศ.ดร.ยงยุทธ ยุทธวงศ์ : 2550)

จากประโยชน์และความสำคัญของเทคโนโลยีการออกแบบวงจรรวมโดยใช้ระบบสมองกลฝังตัว ทำให้หน่วยงานหรือสถานประกอบการทั้งภาครัฐและเอกชนที่เกี่ยวข้องกับการออกแบบผลิตภัณฑ์อิเล็กทรอนิกส์ มีความต้องการที่จะได้บุคลากรที่มีความรู้ความสามารถในการออกแบบวงจรรวมทั้งในภาคทฤษฎีและภาคปฏิบัติ เพราะฉะนั้นสถาบันการศึกษา จึงจำเป็นต้องจัดการเรียนการสอนให้ผู้เรียนมีความรู้ความสามารถทั้งในด้านทฤษฎีและปฏิบัติ เพื่อตอบสนองความต้องการดังกล่าวข้างต้น ในปัจจุบันชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัวสำหรับการทดลองในห้องปฏิบัติการ มีราคาแพงและต้องนำเข้าจากต่างประเทศ จากแผนการพัฒนาการศึกษาแห่งชาติมีนโยบายและเป้าหมายให้ภาครัฐและเอกชนผลิตกำลังคนให้มีศักยภาพในการสร้างและรับการถ่ายทอดเทคโนโลยี มีการวิจัยเพื่อสร้างองค์ความรู้ในการผลิตด้วยเทคโนโลยีแทนการรับมาจากต่างประเทศ และการผลิตบุคลากรให้มีความรู้ความสามารถทางเทคโนโลยีจะต้องจัดการเรียนการสอนทั้งภาคทฤษฎีและภาคปฏิบัติให้เหมาะสม การเรียนการสอนด้วยการปฏิบัติทดลอง จะช่วยให้ผู้เรียนสามารถเรียนรู้ด้วยการปฏิบัติทดลองตามที่กำหนดไว้ ผู้เรียนได้มีโอกาสสัมผัสและได้รับประสบการณ์เกี่ยวกับการออกแบบวงจรจริง เป็นการเสริมทักษะและความรู้นอกเหนือจากการศึกษาในภาคทฤษฎี ตลอดจนยังช่วยสร้างแรงจูงใจในการเรียน (ขรรค์ชัย ตุลละสกุล : 2546)

จากความสำคัญดังกล่าว ผู้วิจัยจึงสร้างชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว ทั้งยังเป็นการเสนอแนวทางในการพัฒนาการเรียนการสอน ที่เกี่ยวกับการออกแบบวงจรรวมดิจิตอลในห้องปฏิบัติการทดลอง เพื่อรองรับการพัฒนาบุคลากรที่จะต้องออกไปสู่ภาคอุตสาหกรรมการออกแบบวงจรรวมภายในประเทศ ลดการนำเข้าวงจรรวมสำเร็จรูปและบอร์ดทดลองจากต่างประเทศ ส่งเสริมการถ่ายทอดเทคโนโลยีระบบสมองกลฝังตัวให้แพร่หลายมากยิ่งขึ้น

วัตถุประสงค์ของโครงการวิจัย

เพื่อพัฒนาชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว

นิยามศัพท์ที่ใช้ในการวิจัย

1. ชุดทดลอง หมายถึง ชุดสื่อการสอนที่สร้างขึ้น เพื่อนำมาใช้ในการเรียนการสอนภาคปฏิบัติวิชาการออกแบบระบบดิจิตอล โดยใช้ไอซี CPLD ตระกูล XC9500 และ MAX7000 เป็นอุปกรณ์หลัก และใช้เครื่องไมโครคอมพิวเตอร์ ร่วมกับเทคโนโลยีระบบสมองกลฝังตัว ในการออกแบบวงจรรวมดิจิตอล ในส่วนของซอฟต์แวร์นั้น ใช้ซอฟต์แวร์ที่เป็น Free Download ซึ่งสามารถนำมาใช้ได้ฟรี และเป็นซอฟต์แวร์ที่พัฒนาขึ้นโดยบริษัทผู้ที่ผลิตไอซี CPLD ตระกูล XC9500 และ MAX7000

2. วงจรรวมดิจิตอล หมายถึง วงจรที่ออกแบบโดยใช้ CPLD (Complex Programmable Logic Device) ซึ่งเป็นชิพที่ใช้ออกแบบวงจรขนาดใหญ่ สามารถออกแบบโดยการเขียนวงจร หรือเขียนโปรแกรม HDL ได้ ใช้เทคโนโลยีการเก็บรักษาวงจรแบบ Flash ที่สามารถคงสถานะของวงจรที่ฝังตัวอยู่ได้ประมาณ 20-40 ปี สามารถโปรแกรมซ้ำได้ประมาณมากกว่า 10,000 ครั้ง ขา I/O เป็นแบบเอนกประสงค์ โดยสามารถกำหนดให้เป็นอินพุต หรือเอาต์พุตแบบต่างๆ ได้ มีจำนวนลอจิกเกตที่สามารถกำหนดให้เป็นเกตอะไรก็ได้ เริ่มตั้งแต่ 800 เกตไปจนถึงหลายแสนเกต และ Flip-Flop 36 ตัว ไปจนถึงหลายพันตัว สามารถรองรับการออกแบบวงจรขนาดใหญ่ๆ และซับซ้อนมากโดยใช้เทคโนโลยีระบบสมองกลฝังตัว

3. ระบบสมองกลฝังตัว หมายถึง ระบบที่ทำงานร่วมกันระหว่างซอฟต์แวร์และฮาร์ดแวร์เพื่อใช้ในการควบคุมการทำงานของไอซี CPLD ที่ใช้สำหรับการออกแบบวงจรรวมดิจิตอล

ขอบเขตของโครงการวิจัย

1. ขอบเขตสถานที่ทำการวิจัย ได้แก่ ห้องปฏิบัติการคอมพิวเตอร์ โปรแกรมวิชาเทคโนโลยีไฟฟ้า คณะวิทยาศาสตร์และเทคโนโลยี มหาวิทยาลัยราชภัฏหมู่บ้านจอมบึง ใช้สำหรับการสร้างชุดทดลองออกแบบวงจรรวมดิจิตอล และใช้ในการทดลองและเก็บรวบรวมข้อมูล รวมทั้งการนำข้อมูลมาวิเคราะห์ประมวลผลโดยใช้คอมพิวเตอร์ และห้องปฏิบัติการไมโครอิเล็กทรอนิกส์ ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ สำนักพัฒนาสมรรถนะครูและบุคลากรอาชีวศึกษา กรุงเทพฯ ใช้ในการทดสอบชุดทดลองออกแบบวงจรรวมดิจิตอล

2. ขอบเขตชุดทดลอง ได้แก่ วงจรที่ใช้ในการสร้างชุดทดลอง ประกอบด้วย

- วงจร XC9500 and MAX7000 CPLD
- วงจร ISP (In-System Programming) Download
- วงจร Power Supply

- วงจร 16 Bit Logic Monitor
- วงจร 5x7 Dot Matrix
- วงจร BCD to 7 Segment
- วงจร Direct 7 Segment
- วงจร 8 Bit Input Switch
- วงจร 8 Bit DIP Switch
- วงจร 4x4 Matrix Switch
- วงจร Clock Generator
- วงจร Buzzer Generator
- วงจร Pulse Switch Generator
- วงจร 840 Point Photo Board

ชุดทดลองออกแบบวงจรรวมดิจิตอลที่สร้างขึ้น สามารถรองรับการออกแบบวงจรรวม เพื่อเสริมทักษะภาคปฏิบัติวิชาการออกแบบระบบดิจิตอล แบ่งเป็นหัวข้อการทดลอง 6 หัวข้อ ดังนี้

- การทดลองออกแบบวงจร Combination and Logic
- การทดลองออกแบบวงจร Arithmetic and Logical Unit
- การทดลองออกแบบวงจร Multiplex and Demultiplex
- การทดลองออกแบบวงจร Decoder and Encoder
- การทดลองออกแบบวงจร Latch and Flip-Flop
- การทดลองออกแบบวงจร Synchronous and Asynchronous Counter

ประโยชน์ที่ได้รับ และหน่วยงานที่นำผลการวิจัยไปใช้ประโยชน์

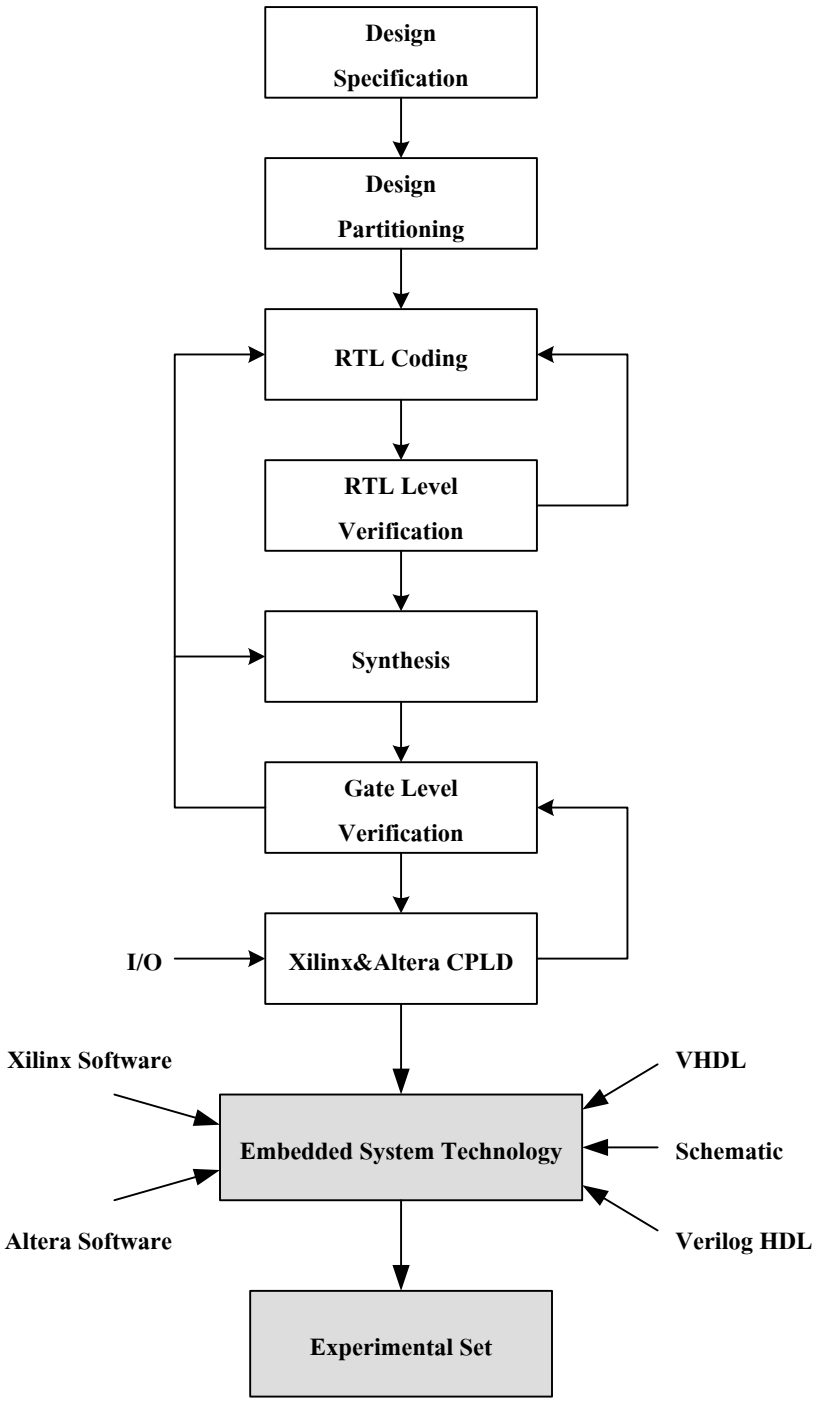
1. ชุดทดลองออกแบบวงจรรวมดิจิตอลที่พัฒนาขึ้น สามารถออกแบบวงจรได้สะดวก มีความรวดเร็วในการทำงาน ประหยัดเวลา และค่าใช้จ่าย

2. ส่งเสริมการถ่ายทอดเทคโนโลยีระบบสมองกลฝังตัวให้แพร่หลายมากขึ้น

3. โปรแกรมวิชาเทคโนโลยี ไฟฟ้า คณะวิทยาศาสตร์และเทคโนโลยี มหาวิทยาลัยราชภัฏหมู่บ้านจอมบึง และสถานศึกษาต่างๆ ที่มีการเรียนการสอนเกี่ยวกับการออกแบบระบบดิจิตอล

กรอบแนวความคิดในการวิจัย

การวิจัยครั้งนี้ ผู้วิจัยใช้ทฤษฎีแนวความคิด ของการออกแบบจากบนลงล่าง (Top-Down Design) มาประยุกต์ใช้เป็นพื้นฐานสำคัญในการพัฒนาชุดทดลองออกแบบวงจรรวมดิจิตอล โดยใช้เทคโนโลยีระบบสมองกลฝังตัว ดังรายละเอียดในภาพที่ 1



ภาพที่ 1 กระบวนการพัฒนาชุดทดลองออกแบบวงจรรวมดิจิตอล

กรอบแนวความคิดในการออกแบบจะใช้กระบวนการออกแบบจากบนลงล่าง โดยเริ่มต้นจากการรับข้อกำหนดคุณสมบัติของชิพ (Design Specification) เพื่อจะนำไปประยุกต์ใช้งาน มีอินพุตอะไรบ้าง เอาต์พุตอะไรบ้าง จากนั้นแบ่งวงจรออกตามหน้าที่การทำงาน (Design Partitioning) กำหนดวงจรที่ออกแบบมีงานย่อยๆ อะไรบ้าง เพื่อที่จะได้ออกแบบวงจรสำหรับ

ส่วนย่อยๆ นั้น ต่อจากนั้นจึงทำการออกแบบรายละเอียดของแต่ละวงจรย่อยโดยการโค้ดเป็น HDL ในระดับ RTL (RTL Coding) เพื่อนำไปทำการสังเคราะห์วงจร

นอกจากจะใช้ HDL ช่วยในการออกแบบวงจรในระดับ RTL แล้ว ยังใช้ HDL สร้างสิ่งแวดล้อม (Test bench) สำหรับตรวจสอบความถูกต้องของวงจร (RTL Level Verification) เช่น สร้างชุดอินพุตให้กับวงจร RTL ที่ออกแบบในเวลาต่างๆ เพื่อนำไปใช้กับโปรแกรมจำลองการทำงาน เพื่อจะได้ตรวจสอบว่าได้ผลตรงกับข้อกำหนด (Specification) หรือไม่ ซึ่งถ้าตรวจสอบแล้วยังมีข้อผิดพลาด จะต้องกลับไปแก้ไขวงจรและตรวจสอบความถูกต้องจนได้วงจรที่ถูกต้องตรงตามที่ต้องการ

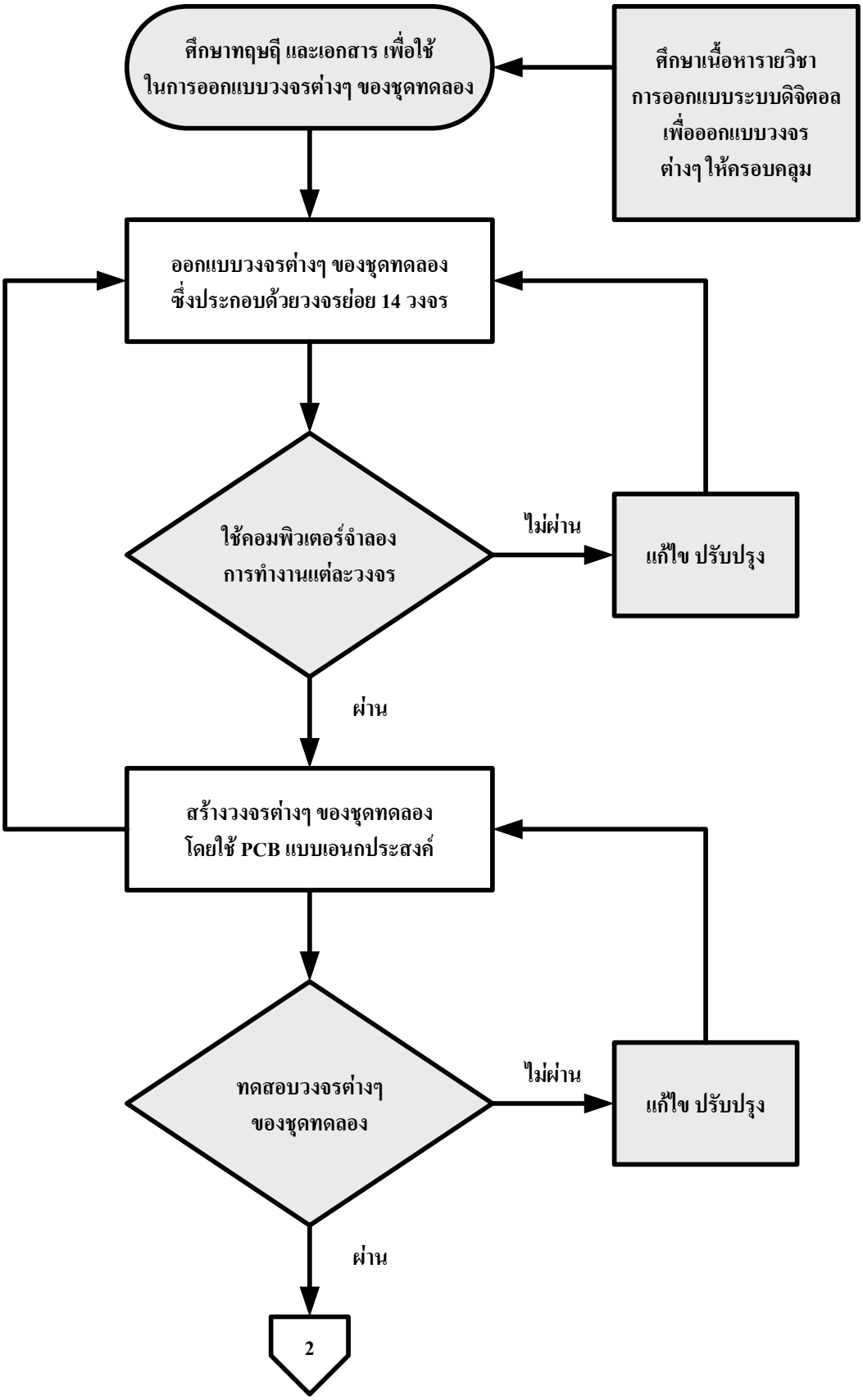
เมื่อได้วงจรที่ทำงานถูกต้องแล้วจึงนำวงจรในระดับ RTL ที่ออกแบบไปทำการสังเคราะห์วงจร (Synthesis) ด้วยโปรแกรมสังเคราะห์วงจร (Synthesis Tool) เพื่อแปลงวงจรระดับ RTL ที่ออกแบบให้เป็นวงจรระดับเกตพื้นฐาน ที่ประกอบด้วยเกตพื้นฐานของเทคโนโลยีวงจรรวมที่ต้องการใช้ (Gate Net list) ในลักษณะของ CPLD

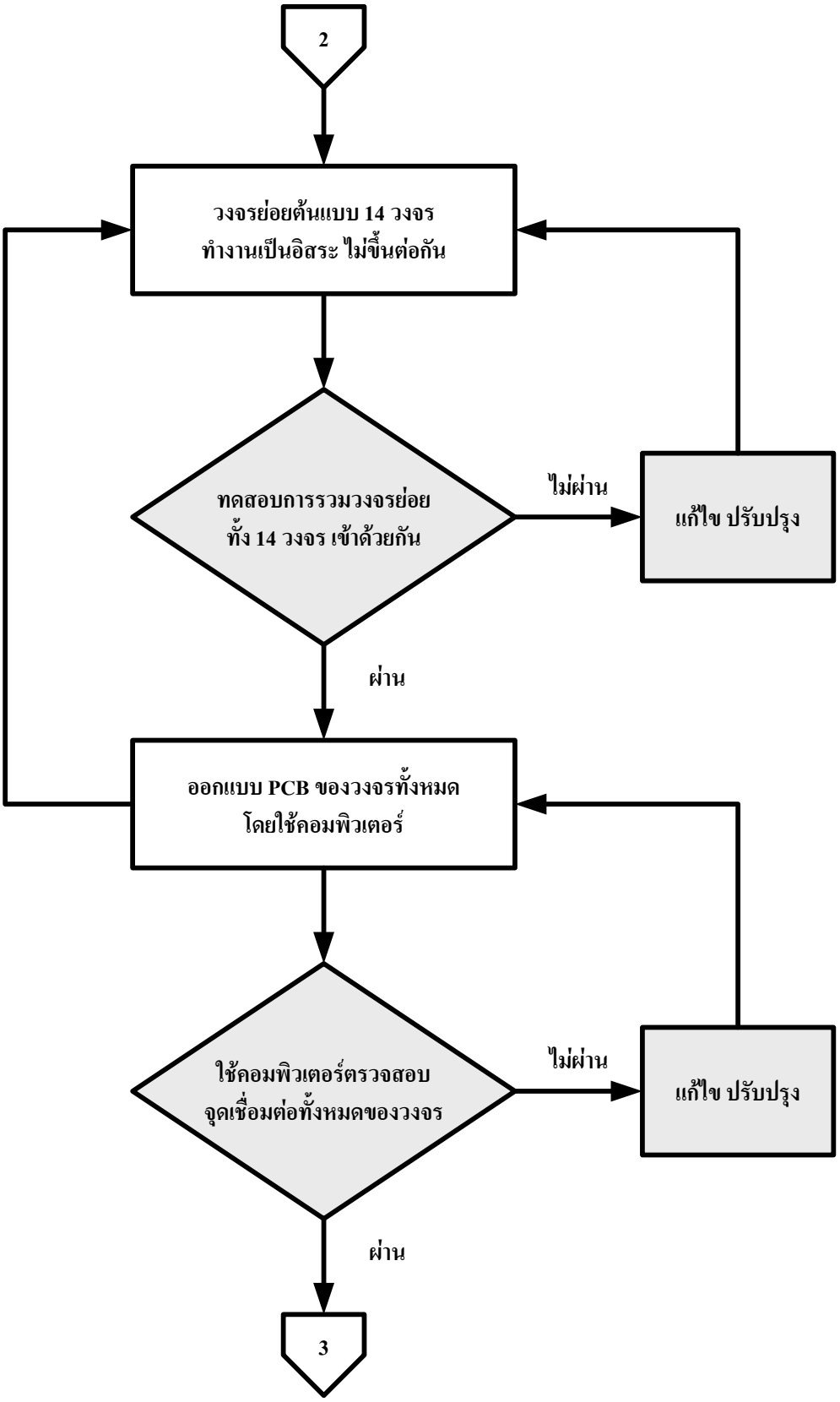
หลังจากที่ได้วงจรในระดับเกต (Gate Net list) อาจทำการตรวจสอบความถูกต้องของวงจรในระดับเกต (Gate Level Verification) ด้วยการให้โปรแกรมสังเคราะห์วงจรสร้างวงจรในระดับเกตขึ้นมา เพื่อจะได้นำมาทำการ Simulation อีกครั้ง ต่อจากนั้นจึงนำวงจรในระดับเกตไปทำการวางและต่อเชื่อม (Place Route) ตามเทคโนโลยีที่ใช้สังเคราะห์ แล้วนำไปจำลองการทำงาน โดยใช้ชุดอินพุตที่เหมือนกับที่ใช้ก่อนหน้านี้ ซึ่งถ้าตรวจสอบแล้วมีความผิดพลาด จะต้องไปทำการสังเคราะห์วงจรใหม่ หรือทำการแก้ไขในระดับ RTL เพื่อให้ได้วงจรที่ผ่านการวางและเชื่อมต่อจะทำให้ได้วงจรที่ถูกต้องตามข้อกำหนดทุกประการ

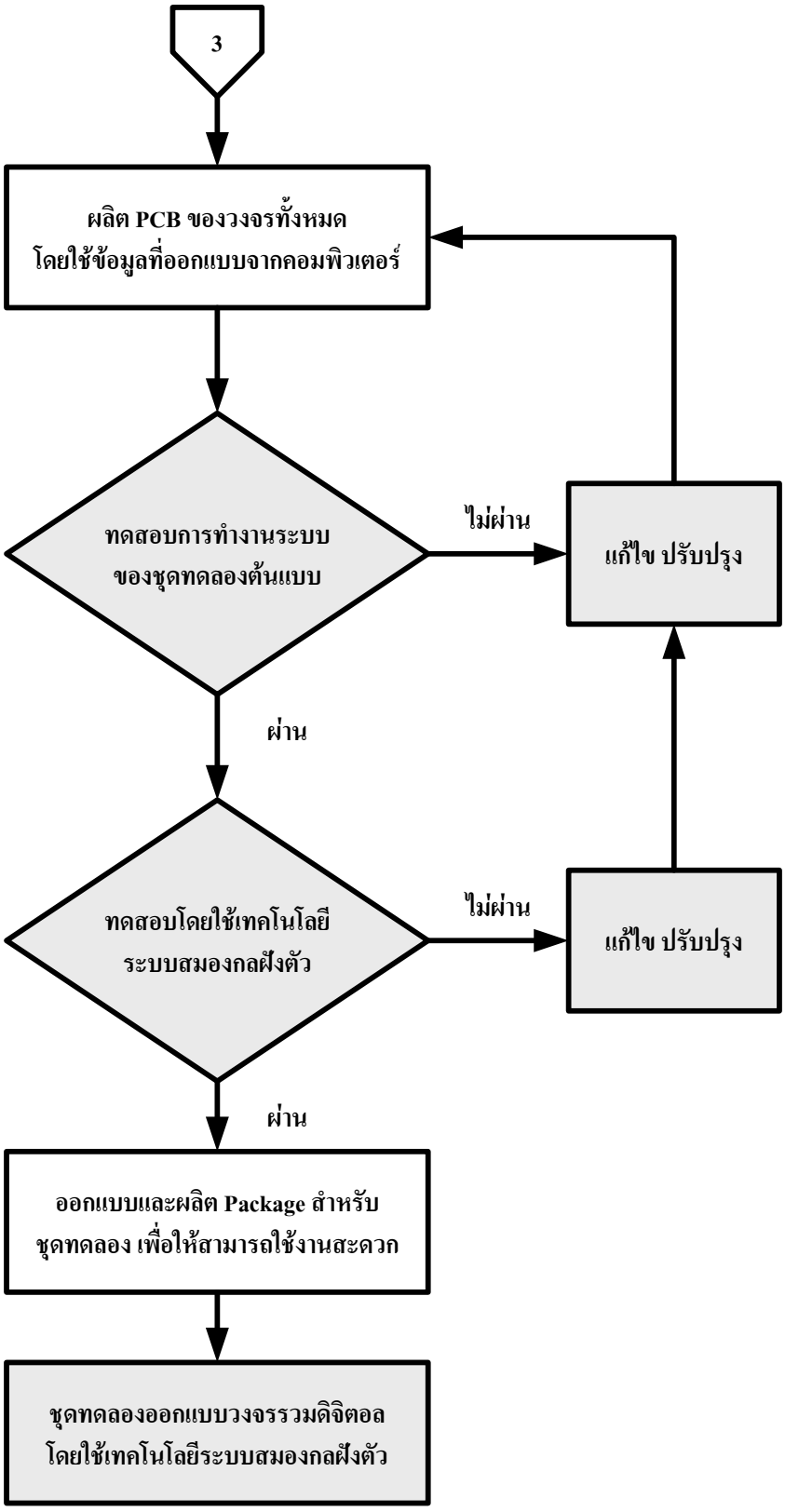
จากนั้นนำ CPLD (Xilinx&Altera) ที่ผ่านการออกแบบและจำลองการทำงานด้วยโปรแกรมสังเคราะห์วงจร มาเชื่อมต่อกับอุปกรณ์ Input/Output และทำการทดสอบจริงในทางปฏิบัติตามใบงานที่กำหนดให้ ในขั้นตอนนี้การออกแบบวงจรรวมดิจิตอลจะใช้เทคโนโลยีระบบสมองกลฝังตัวมาช่วยในการออกแบบ ซึ่งมีวิธีการออกแบบ 3 วิธี คือ การออกแบบวงจรรวมโดยใช้ VHDL, Verilog HDL และการวาดผังวงจร (Schematic) ผู้ใช้สามารถออกแบบโดยวิธีใดก็ได้ ขึ้นอยู่กับความสามารถและความเชี่ยวชาญ โดยมีซอฟต์แวร์ช่วย (Xilinx&Altera Software) ในการออกแบบ หลังออกแบบวงจรรวมเสร็จเรียบร้อย ซอฟต์แวร์จะเป็นตัวช่วยในการ Download วงจรเข้าสู่ชิพ CPLD เสมือนเป็นสมองกลฝังตัวอยู่ในชิพ CPLD ทำให้ซอฟต์แวร์และฮาร์ดแวร์สามารถทำงานร่วมกันได้อย่างมีประสิทธิภาพ

การพัฒนาชุดทดลองออกแบบวงจรรวมดิจิตอล

โครงการวิจัยนี้เป็นการวิจัยเชิงทดลอง เพื่อใช้ในการพัฒนาชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว รายละเอียดดังแสดงในภาพที่ 2


ศึกษาทฤษฎี และเอกสาร เพื่อใช้
ในการออกแบบวงจรต่างๆ ของชุดทดลอง
ศึกษาเนื้อหารายวิชา
การออกแบบระบบดิจิตอล
เพื่อออกแบบวงจร
ต่างๆ ให้ครอบคลุม
ออกแบบวงจรต่างๆ ของชุดทดลอง
ซึ่งประกอบด้วยวงจรย่อย 14 วงจร
ใช้คอมพิวเตอร์จำลอง
การทำงานแต่ละวงจร
ไม่ผ่าน
แก้ไข ปรับปรุง
ผ่าน
สร้างวงจรต่างๆ ของชุดทดลอง
โดยใช้ PCB แบบเอนกประสงค์
ทดสอบวงจรต่างๆ
ของชุดทดลอง
ไม่ผ่าน
แก้ไข ปรับปรุง
ผ่าน
2

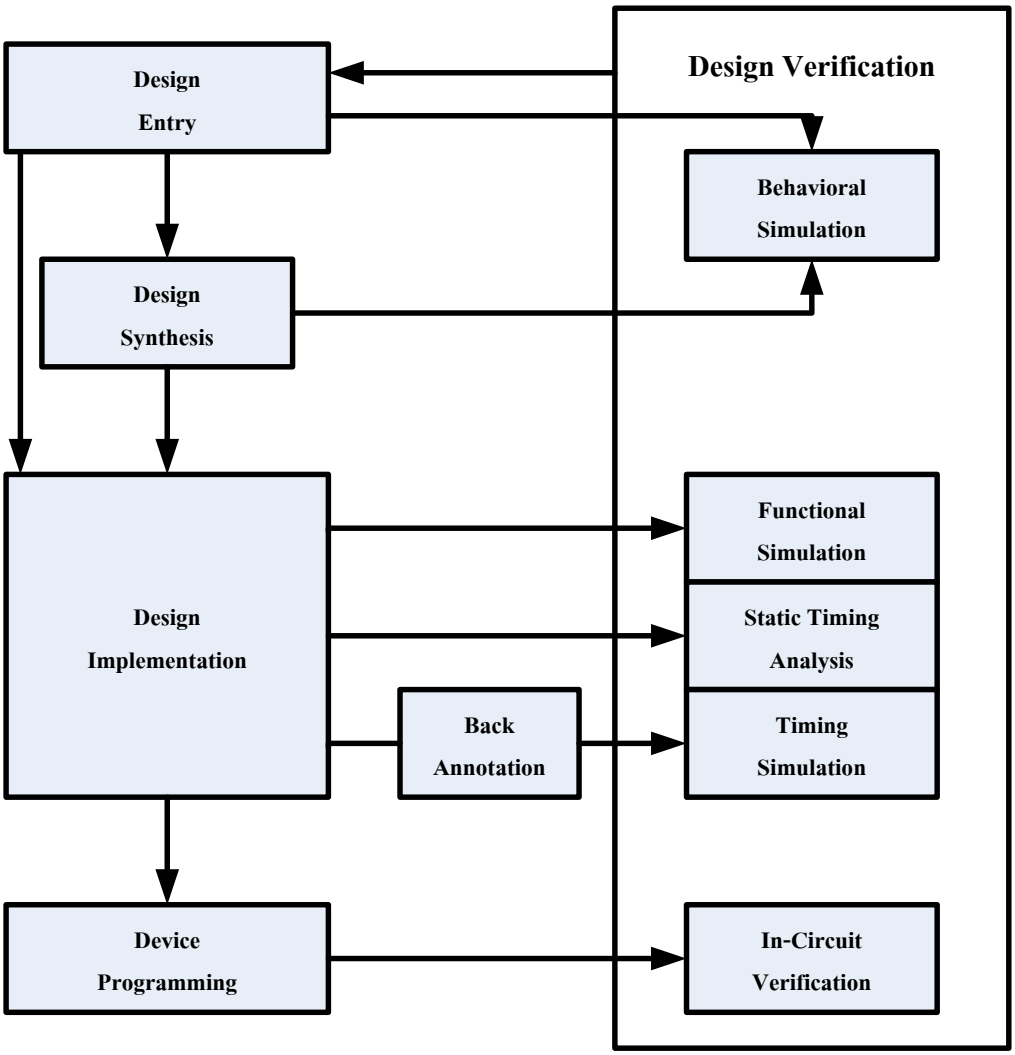

2
วงจรย่อยต้นแบบ 14 วงจร
ทำงานเป็นอิสระ ไม่ขึ้นต่อกัน
ทดสอบการรวมวงจรย่อย
ทั้ง 14 วงจร เข้าด้วยกัน
ไม่ผ่าน
แก้ไข ปรับปรุง
ผ่าน
ออกแบบ PCB ของวงจรทั้งหมด
โดยใช้คอมพิวเตอร์
ใช้คอมพิวเตอร์ตรวจสอบ
จุดเชื่อมต่อทั้งหมดของวงจร
ไม่ผ่าน
แก้ไข ปรับปรุง
ผ่าน
3



ภาพที่ 2 ขั้นตอนการสร้างชุดทดลองออกแบบวงจรรวมดิจิตอล

การออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว

ขั้นตอนการออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว มีการทำงานหลายขั้นตอน ผู้วิจัยยกตัวอย่างการใช้โปรแกรม Xilinx ISE WebPACK 8.1i ในการออกแบบ แสดงรายละเอียดดังภาพที่ 3



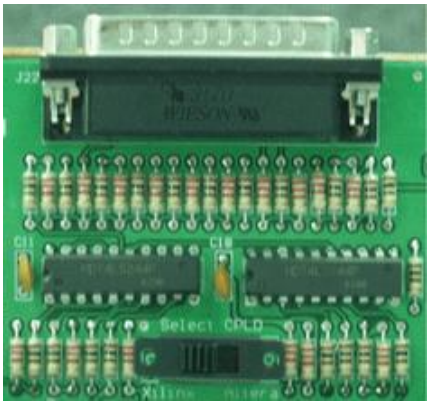
ภาพที่ 3 ขั้นตอนการออกแบบวงจรรวมดิจิตอล

ที่มา : http://toolbox.xilinx.com/docsan/xilinx82/books/manuals.htm

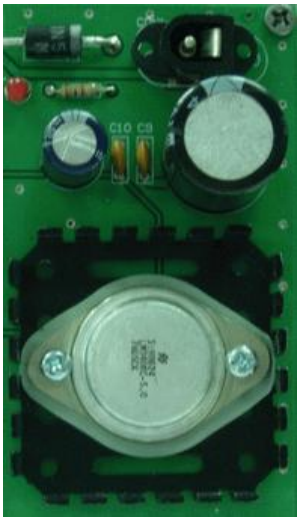
ผลการดำเนินงาน

ผลการออกแบบวงจรของชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว ทำให้ได้วงจรย่อย 14 วงจร ประกอบเข้ากันเป็นชุดทดลองฯ ซึ่งมีรายละเอียดแต่ละวงจรย่อยดังต่อไปนี้

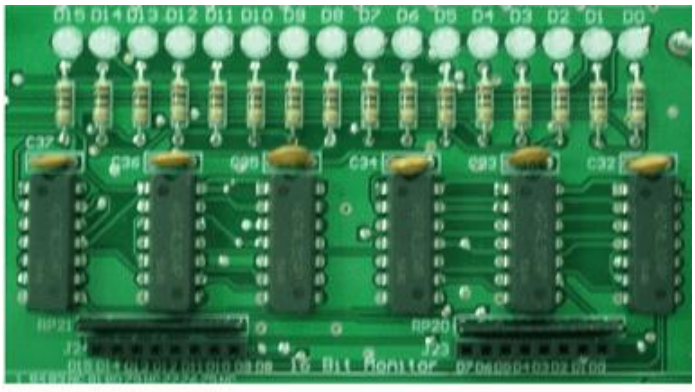
ภาพที่ 4 วงจร XC9500 and MAX7000 CPLD



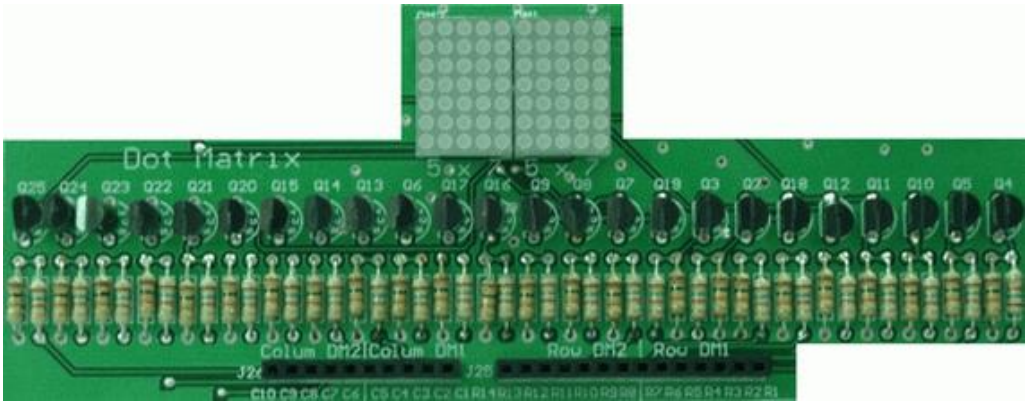
ภาพที่ 5 วงจร ISP (In-System Programming) Download



ภาพที่ 6 วงจร Power Supply

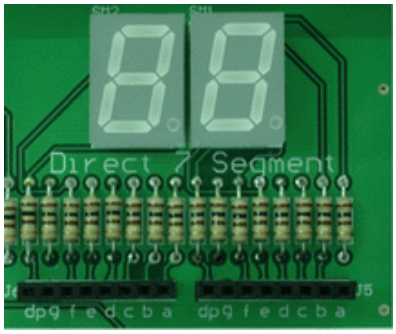


ภาพที่ 7 วงจร 16 Bit Logic Monitor

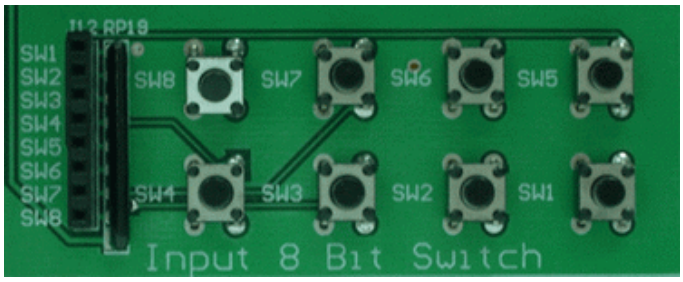


ภาพที่ 8 วงจร 5x7 Dot Matrix

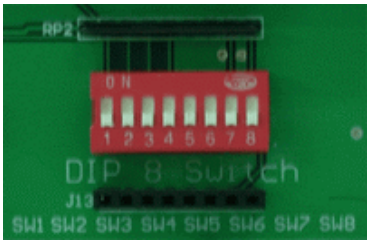
ภาพที่ 9 วงจร BCD to 7 Segment



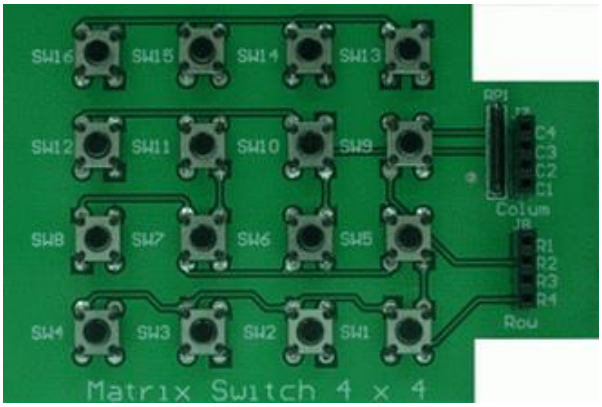
ภาพที่ 10 วงจร Direct 7 Segment



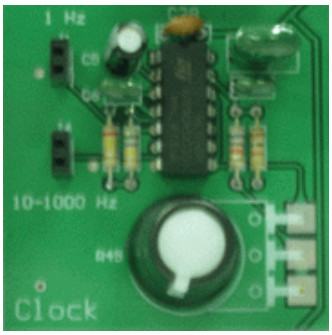
ภาพที่ 11 วงจร 8 Bit Input Switch



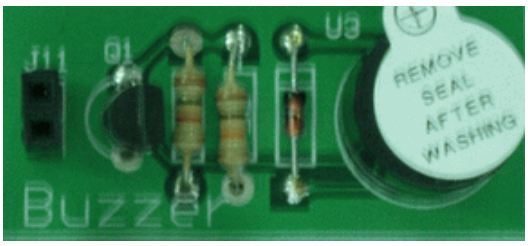
ภาพที่ 12 วงจร 8 Bit DIP Switch



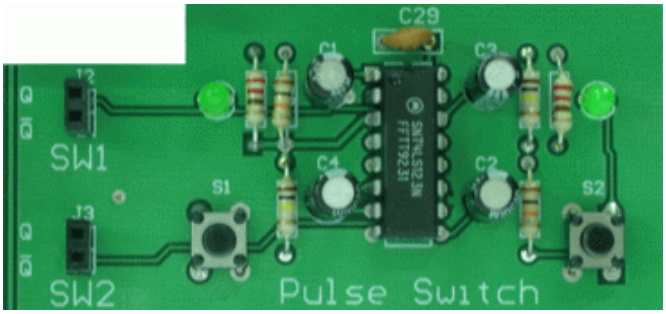
ภาพที่ 13 วงจร 4x4 Matrix Switch



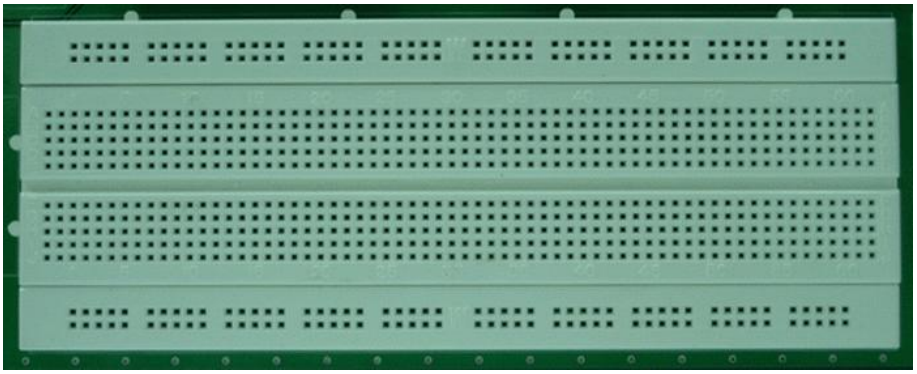
ภาพที่ 14 วงจร Clock Generator



ภาพที่ 15 วงจร Buzzer Generator



ภาพที่ 16 วงจร Pulse Switch Generator



ภาพที่ 17 วงจร 840 Point Photo Board

ภาพที่ 18 ชุดทดลองออกแบบวงจรรวมดิจิตอลที่สมบูรณ์

ผลการทดลอง

นำชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัวไปทดสอบร่วมกับซอฟต์แวร์ที่ใช้สำหรับออกแบบวงจรรวม ในที่นี้ผู้วิจัยเลือกใช้ซอฟต์แวร์ของผู้ผลิตชิพ CPLD เป็นซอฟต์แวร์ที่นำเทคโนโลยีระบบสมองกลฝังตัวมาใช้ในการออกแบบวงจรรวมดิจิตอล สามารถ Download ไปใช้ได้ฟรี คือ ISE WebPACK 8.1i ของ Xilinx Inc. และ Quartus II Web Edition 9.1 ของ Altera Corporation การทดสอบวงจรทั้งหมดของชุดทดลองออกแบบวงจรรวมดิจิตอล ในที่นี้ อ้างอิงจากภาคปฏิบัติรายวิชาการออกแบบระบบดิจิตอล ซึ่งมีหัวข้อการทดลองร่วมกับวงจรต่างๆ ของชุดทดลองแสดงในตารางที่ 1 โดยมีวงจรย่อย 3 วงจรที่ต้องใช้สำหรับทุกการทดลอง คือ วงจร Power Supply, วงจร ISP (In-System Programming) Download และ วงจร XC9500 and MAX7000 CPLD โดยมีวงจร 840 Point Photo Board เป็นวงจรสำรองในกรณีที่ต้องใช้สายต่อวงจรและพื้นที่ต่อวงจรเพิ่มเติม

ตารางที่ 1 ความสัมพันธ์ระหว่างหัวข้อการทดลองกับวงจรย่อยที่ใช้ในการทดลอง

หัวข้อการทดลอง	วงจรย่อยที่ใช้ในการทดลอง
Combination and Logic	1. วงจร 16 Bit Logic Monitor
	2. วงจร 8 Bit DIP Switch
Arithmetic and Logical Unit	1. วงจร 16 Bit Logic Monitor
	2. วงจร 8 Bit DIP Switch
	3. วงจร 4x4 Matrix Switch
Multiplex and Demultiplex	1. วงจร 16 Bit Logic Monitor
	2. วงจร 8 Bit DIP Switch
	3. วงจร 8 Bit Input Switch
Decoder and Encoder	1. วงจร 16 Bit Logic Monitor
	2. วงจร 5x7 Dot Matrix
	3. วงจร BCD to 7 Segment
	4. วงจร Direct 7 Segment
	5. วงจร 8 Bit DIP Switch
	6. วงจร 8 Bit Input Switch
Latch and Flip-Flop	1. วงจร 16 Bit Logic Monitor
	2. วงจร 8 Bit DIP Switch
	3. วงจร Clock Generator
	4. วงจร Pulse Switch Generator
Synchronous and Asynchronous Counter	1. วงจร 16 Bit Logic Monitor
	2. วงจร 5x7 Dot Matrix
	3. วงจร BCD to 7 Segment
	4. วงจร Clock Generator
	5. วงจร Buzzer Generator
	6. วงจร Pulse Switch Generator

ทดลองออกแบบวงจรรวมดิจิตอลตามใบงานที่กำหนดไว้ในแต่ละหัวข้อการทดลองหลัก ออกแบบโดยใช้เทคโนโลยีระบบสมองกลฝังตัว 3 วิธี คือ วิธีการเขียนวงจร หรือ Schematic, วิธีการเขียนโปรแกรม VHDL [(**V**HSIC: Very High Speed Integrated Circuit) **H**ardware **D**escription **L**anguage] วิธีนี้คล้ายการเขียนโปรแกรมภาษา PASCAL และวิธีการเขียนโปรแกรม Verilog HDL

(**Verilog H**ardware **D**escription **L**anguage) วิธีนี้คล้ายการเขียนโปรแกรมภาษา C ตารางที่ 2 แสดงเปอร์เซ็นต์ความผิดพลาดจากการทดลองออกแบบวงจรรวมดิจิตอล โดยอ้างอิงค่าที่ถูกต้องจากทฤษฎีการออกแบบวงจรรวมดิจิตอล เปอร์เซ็นต์ความผิดพลาดที่ยอมรับได้ต้องมีค่าไม่เกิน $\pm$1% จึงถือว่าวงจรรวมดิจิตอลที่ออกแบบนั้นสามารถนำไปประยุกต์ใช้งานได้

ตารางที่ 2 เปอร์เซ็นต์ความผิดพลาดจากการทดลองออกแบบวงจรรวมดิจิตอลทั้ง 3 วิธี

หัวข้อการทดลอง	เปอร์เซ็นต์ความผิดพลาด			หมายเหตุ
	SCH	VHDL	Verilog	
Combination and Logic				
- Logic Gate	-	-	-	-
Arithmetic and Logical Unit				
- Half and Full Adder	-	-	-	-
- Half and Full Sub tractor	-	-	-	-
Multiplex and Demultiplex				
- Multiplex	-	-	-	-
- Demultiplex	-	-	-	-
Decoder and Encoder				
- Decoder	-	-	-	-
- Encoder	-	-	-	-
- BCD to 7 Segment	-	-	-	-
- 5x7 Dot Matrix Application	0.2%	0.1%	0.1%	ยอมรับได้
- 4x4 Matrix Switch Application	0.1%	-	-	ยอมรับได้
Latch and Flip-Flop				
- Comparator	-	-	-	-
- Shift Register	0.2%	-	-	ยอมรับได้
- Clock Divider	-	-	-	-
Synchronous and Asynchronous Counter				
- Synchronous Counter	-	-	-	-
- Asynchronous Counter	-	-	-	-
- Up-Down Counter Application	0.1%	-	-	ยอมรับได้

สรุปผลการสร้างชุดทดลองออกแบบวงจรรวมดิจิตอล

ชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว มีทั้งหมด 10 ชุด และผลการทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัวทั้ง 3 วิธี ด้วยซอฟต์แวร์ ISE WebPACK 8.1i และ Quartus II Web Edition 9.1 ชุดทดลองสามารถทำงานได้ถูกต้องและเปอร์เซ็นต์ความผิดพลาดไม่เกิน $\pm$1% ทุกหัวข้อการทดลอง ผลสรุป ชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีระบบสมองกลฝังตัว สามารถนำไปประยุกต์ใช้ในการเรียนการสอนที่เกี่ยวกับการออกแบบระบบดิจิตอล ตรงตามวัตถุประสงค์ของโครงการวิจัย

ปัญหาและแนวทางแก้ไข

1. การออกแบบลายวงจรบนแผ่น PCB ที่ใช้ในการรวมวงจรย่อยทั้ง 14 วงจรเข้าด้วยกัน ใช้เวลาในการออกแบบนาน เพราะมีวิธีการเดินลายวงจรรวมกันหลายวิธี แนวทางแก้ไขผู้วิจัยใช้โปรแกรมช่วยเดินลายวงจรเพื่อให้ได้ลายวงจรที่ดีที่สุด
2. การออกแบบวงจรรวมดิจิตอลที่ซับซ้อน ต้องใช้สายต่อวงจรช่วยในการเชื่อมต่อวงจร ทำให้ผลการทดลองอาจมีข้อผิดพลาดจากสายต่อวงจร จึงควรตรวจสอบสายต่อวงจรให้เรียบร้อย

ข้อเสนอแนะเพื่อเป็นแนวทางในการพัฒนา

1. ชิพ CPLD ที่ใช้ในการทดลอง มีข้อจำกัดในการ Download ข้อมูล คือ สามารถทำการ Download ข้อมูลเข้าตัวชิพได้ประมาณ 10,000 ครั้ง ดังนั้นก่อนทำการ Download ข้อมูลลงตัวชิพ ควรใช้โปรแกรม Simulation ทำการตรวจสอบวงจรที่ออกแบบก่อนทำการ Download ข้อมูล เพื่อยืดอายุการใช้งานของชิพ CPLD
2. การเชื่อมต่อวงจรย่อยบนชุดทดลอง ต้องใช้สายต่อวงจรขนาดเล็กในการเชื่อมต่อ ขั้นตอนการถอดสายต่อวงจรออกจากจุดเชื่อมต่อควรถอดอย่างระมัดระวัง เพราะถ้าสายต่อวงจรหักค้างอยู่ภายในจุดเชื่อมต่อ ยากต่อการถอดออก แนวทางแก้ไขคือ ออกแบบลายวงจรบนแผ่น PCB ให้สามารถเลือกการเชื่อมต่อของอุปกรณ์ I/O ภายในวงจรย่อยแต่ละวงจร ได้จากโปรแกรมที่ใช้ในการทดลอง สามารถลดการใช้จุดเชื่อมต่อวงจรให้น้อยลง ทำให้การออกแบบวงจรรวมมีประสิทธิภาพมากขึ้น

บรรณานุกรม

ขรรค์ชัย ตุลละสกุล. (2546). บทความวิจัย เรื่อง การสร้างชุดทดลองออกแบบวงจรรวมดิจิตอลโดยใช้เทคโนโลยีเอฟพีจีเอ. **วารสารศึกษาศาสตร์ มหาวิทยาลัยทักษิณ.** 3(1) กรกฎาคม-ธันวาคม, 39-45.

จิระวัฒน์ ใจอ่อนน้อม. (2540). **การสร้างและทดลองหาประสิทธิภาพของชุดทดลองวงจรดิจิตอล.** วิทยานิพนธ์ปริญญาครุศาสตร์อุตสาหกรรมมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ.

ศ.ดร.ยงยุทธ ยุทธวงศ์. (2550). **จักรกลคิดเป็นด้วย "สมองกลฝังตัว" อีกก้าวเทคโนโลยีสู่ชีวิตไฮเทค.** ค้นเมื่อ 18 มีนาคม 2552 จาก http://www.thairssfeed.com/news.

Xilinx Inc. (2007). **ISE 8.1i Quick Start Tutorial.** ค้นเมื่อ 10 กันยายน 2550 จาก http://toolbox.xilinx.com/docsan/xilinx8/books/docs/qst.