เนื่องจากความก้าวหน้าทางด้านเทคโนโลยีสารกึ่งตัวนำ ระบบที่มีความซับซ้อนสูงมากสามารถถูกใส่เข้าไปอยู่ในวงจรรวมได้และถูกเรียกว่าระบบบนชิพ (System-on-Chip, SoC) ในปัจจุบันวงจรรวม (Integrated circuit, IC) หนึ่งสามารถบรรจุตัวประมวลผลที่ทำหน้าที่แตกต่างกันได้หลายอันเพื่อสร้างระบบบนชิพที่ถูกเรียกว่าระบบที่มีหลายตัวประมวลผลบนชิพ (Multi-Processor System-on-Chip) ที่ซึ่งทุกตัวประมวลผลเชื่อมต่อกันผ่านการเชื่อมต่อที่ถูกเรียกว่าเน็ตเวิร์กบนชิพ (Network-on-Chip) การออกแบบเน็ตเวิร์กบนชิพเป็นส่วนสำคัญของประสิทธิภาพของระบบที่มีหลายตัวประมวลผลบนชิพเพราะสายการเชื่อมต่อคลอบคลุมพื้นที่ส่วนใหญ่ของชิพ การเชื่อมต่อมี 2 แบบคือแบบอนุกรมและแบบขนาน ถึงแม้ว่าสายการเชื่อมต่อแบบอนุกรมเป็นที่นิยมมากกว่าเพราะว่าใช้สายเพียงเส้นเดียวแต่ก็ไม่สามารถถูกใช้ได้กับกรณีที่มีอัตราการส่งข้อมูลที่สูง อย่างไรก็ตามการเชื่อมต่อแบบขนานต้องการจำนวนสายที่สูงซึ่งทำให้เพิ่มการใช้กำลังงานและความซับซ้อน วิทยานิพนธ์นี้เสนอการใช้การบีบอัดข้อมูลก่อนที่จะส่งข้อมูลผ่านเน็ตเวิร์กบนชิพเพื่อว่าจำนวนของสายถูกลดลงที่ซึ่งนำมาซึ่งการลดการใช้กำลังงาน ระเบียบวิธีพิจารณา, กรณีศึกษา และแบบจำลองระบบส่งข้อมูลแบบขนานชนิดจุดสู่จุดได้ถูกเสนอโดยมีการใช้การบีบอัดข้อมูลที่เรียกว่ายูเอสบีอาร์ (Unused Significant Bit Removal, USBR) แบบจำลองที่ถูกพิสูจน์ได้ถูกสร้างลงบนแอฟจีเอ (FPGA) ผลการพิสูจน์แสดงให้เห็นว่าความเป็นไปได้และประสิทธิภาพของการประยุกต์ใช้การบีบอัดข้อมูลกับการส่งข้อมูลแบบขนานของเน็ตเวิร์กบนชิพขึ้นอยู่กับการใช้กำลังงานและค่าอัตราส่วนบีบอัดของอัลกอริทึมการบีบอัดข้อมูล

225968

As semiconductor technology advances, a highly complex system can be put into an integrated circuit (IC) called System-on-Chip (SoC). Nowadays, a single integrated circuit can contain many heterogeneous processors to form a SoC called multi-processor system-on-chip (MPSoC) in which each processor connects to the others through multi-interconnection called a Network-on-Chip (NoC). The Network-on-Chip design is an important part of MPSoC efficiency because interconnects become dominant part of the chip. There are 2 types of interconnection: serial and parallel. Although serial interconnect is preferable because it needs only a single data line, it cannot be used to support cases with high data transfer rates. However, parallel interconnections require high number of lines which increase power consumption and complexity. This thesis proposes to use data compression before sending data through the NoC so that the number of lines is reduced, which leads to reduction of power consumption. The application methodology, case studies and model of the point-to-point parallel transmission system are proposed using a data compression called the Unused Significant Bit Removal (USBR). The verified model was implemented on a Field Programmable Gate Array (FPGA) chip. The verification results show that data compression application possibility and efficiency on Network-on-Chips parallel transmission depend on power consumption and compression ratio of the compression algorithm.