พิมพ์ต้นฉบับบทคัดย่อวิทยานิพนธ์ภายในกรอบสีเขียวนี้เพียงแผ่นเดียว

C618108 : MAJOR COMPUTER SCIENCE
KEY WORD: EDGE DETECTION/ IMAGE PROCESSING/ HARDWARE/ PATTERN RECOGNITION

SUKITTI PUNAK : A HARDWARE DESIGN OF MODIFIED CANNY EDGE DETECTION ALGORITHM. THESIS ADVISOR : PRABHAS CHONGSTITVATANA, Ph.D. 82 pp. ISBN 974-636-485-5

This research aims to design a hardware that use modified Canny algorithm for detecting edges in digital images. The research steps are: study Canny algorithm and adapt it to be suitable for hardware implementation, write software to guide a hardware design, design and test the hardware using a simulation on computer, assemble the hardware composing of FPGA chips and test it by using a computer parallel port to control and send/receive data. The size of image is 256 x 256 pixels.

The result of hardware simulation is correct comparing to the result from software. The total number of clocks that the hardware used for finding edges in one image is 1,073,375 cycles. The result of real hardware is not correct due to noise. However, the resulting image is quite similar to the image obtained from software. The FPGA chips used in this work are 3 of XC4005-6 and 2 of XC4003-6. The processing speed under test is 8.59 second per image. The maximum design speed is 0.29 second per image.

ภาควิชา วิศวกรรมคอมพิวเตอร์ ลายมือชื่อนิสิต .....

สาขาวิชา วิทยาศาสตร์คอมพิวเตอร์ ลายมือชื่ออาจารย์ที่ปรึกษา .....

ปีการศึกษา 2539 ลายมือชื่ออาจารย์ที่ปรึกษาร่วม .....