219323

อรรถภัทร์ สืบเนื่อง 2552: ชิ้นงานต้นแบบของเครื่องถอดรหัสด้วยวิธีเวกเตอร์ซิมโบลดีโคดดิง สำหรับรหัสแบบคอนโวลูชัน (3, 2, 2) ที่มีชุดข้อมูลขาเข้า 2 ตัวเลือก บนบอร์ดทดลอง FPGA ปริญญาวิศวกรรมศาสตรมหาบัณฑิต (วิศวกรรมไฟฟ้า) สาขาวิศวกรรมไฟฟ้า ภาควิชาวิศวกรรมไฟฟ้า ประธานกรรมการที่ปรึกษา: ผู้ช่วยศาสตราจารย์อุศนา ตัณฑุลเวศม์, Ph.D. 140 หน้า

วิธีถอดรหัสด้วยวิธีเวกเตอร์ซิมโบลดีโคดดิง สำหรับรหัสแบบคอนโวลูชัน ที่ใช้สัญลักษณ์นอนไบนารีขนาดใหญ่สามารถแก้ไขความผิดพลาดแบบแถบได้ดี เนื่องจากการใช้สัญลักษณ์นอนไบนารีขนาดใหญ่ มีข้อดีคือ เมื่อทำการแก้ไขแต่ละสัญลักษณ์จะเท่ากับเป็นการแก้ไขความผิดพลาดทั้งหมดที่เกิดขึ้นในสัญลักษณ์นั้นๆ ทำให้การถอดรหัสแบบนี้เหมาะกับช่องสัญญาณที่อาจมีคุณภาพต่ำในบางช่วงเวลา เช่น ช่องสัญญาณไร้สาย โดยไม่ต้องทำการอินเทอลีฟเหมือนกรณีรหัสที่ใช้สัญลักษณ์ไบนารี

งานวิจัยนี้ มีวัตถุประสงค์เพื่อออกแบบและสร้างชิ้นงานถอดรหัสด้วยวิธีเวกเตอร์ซิมโบลดีโคดดิง สำหรับรหัสแบบคอนโวลูชัน (3, 2, 2) รหัสหนึ่ง ที่ใช้สัญลักษณ์ขนาด 32 บิต และมีชุดข้อมูลขาเข้า 2 ตัวเลือก บนบอร์ด FPGA เพื่อเป็นการแสดงว่า ทฤษฎีของการถอดรหัสด้วยวิธีเวกเตอร์ซิมโบลดีโคดดิงสำหรับรหัสแบบคอนโวลูชันสามารถนำมาประยุกต์เป็นฮาร์ดแวร์ได้จริง โดยได้ออกแบบการทำงานของตัวถอดรหัสเป็น 3 กลุ่มตามลำดับขั้นในการพัฒนาชิ้นงาน ได้แก่ การถอดรหัสด้วยซินโดรมเดียว การถอดรหัสด้วยวิธีแก้ไขได้ด้วยตัวเลือกอันดับสอง และการถอดรหัสด้วยวิธีการรวมทางพีชคณิตได้สูนย์ ผลการทดสอบการถอดรหัสด้วยชิ้นงานต้นแบบพบว่า การทำงานของชิ้นงานต้นแบบเป็นไปตามที่ได้ออกแบบการทำงานไว้ คือสามารถแก้ไขความผิดพลาดได้ตามทฤษฎีของการถอดรหัสนี้ทุกประการ

219323

Auttaphud Seubnaung 2009: Prototype of Vector Symbol Decoder for a (3, 2, 2) Convolutional Code with Two Alternative Choices on an FPGA Board. Master of Engineering (Electrical Engineering), Major Field: Electrical Engineering, Department of Electrical Engineering. Thesis Advisor: Assistant Professor Usana Tuntoolavest, Ph.D. 140 pages.

Vector symbol decoding (VSD) for convolutional codes that use large nonbinary symbols can correct burst errors well. The benefit of using large nonbinary symbols is that correcting each error symbol means correcting all error bits in that symbol. This makes the decoding technique suitable for channels with low quality at times such as wireless channels without the need to use interleaving as in the case of binary codes.

The purpose of this research was to design and implement the prototype of channel decoder called Vector symbol decoding that can decode a (3, 2, 2) convolutional code that uses 32-bit symbols with 2 alternative choices. The implementation was done on an FPGA board to show that the theory of Vector symbol decoding for convolutional codes can be applied to hardware. The development of this decoder was done in 3 steps: Decode with one syndrome, the Correct with second choice and the Correct with null combination. The result shows that the prototype can work exactly as designed. It can correct all error patterns indicated in the theory of VSD.