ในระบบดิจิตอลแบบซิงโครนัส (Synchronous System) โครงข่ายสัญญาณนาฬิกา (Clock Network) ถือว่าเป็นโครงข่ายสัญญาณที่มีขนาดใหญ่และมีความถี่ในการเปลี่ยนแปลงของระดับสัญญาณมากที่สุด ซึ่งการเปลี่ยนแปลงระดับสัญญาณนี้จะไปขับดันตัวเก็บประจุ (Capacitor) ขนาดใหญ่ของระบบโดยรวม จึงกล่าวได้ว่าโครงข่ายสัญญาณนาฬิกาเป็นแหล่งที่มีการใช้พลังงานแบบพลวัต (Dynamic Power) แหล่งใหญ่ที่สุดในระบบ ดังนั้นจุดนี้จึงเป็นอีกจุดหนึ่งที่มีผู้ให้ความสนใจหาวิธีลดอัตราการใช้พลังงานในส่วนนี้เป็นจำนวนมาก เทคนิคประตูสัญญาณนาฬิกาก็เป็นวิธีหนึ่งที่มีผู้นิยมใช้ในการลดอัตราการใช้พลังงาน โดยมีหลักการว่าในระบบดิจิตอลแบบซิงโครนัสมีการใช้สัญญาณนาฬิกาเป็นตัวกำหนดจังหวะการทำงานให้กับทุกส่วนการทำงานภายในวงจร และมีบางช่วงเวลาที่บางส่วนไม่จำเป็นต้องทำงาน การตัดสัญญาณนาฬิกาที่เข้าไปกำหนดจังหวะการทำงานในส่วนนี้จึงเป็นการลดอัตราการใช้พลังงานแบบพลวัตของระบบในบางช่วงเวลาได้โดยไม่มีผลกระทบต่อประสิทธิภาพการทำงาน

งานวิจัยนี้เป็นการรวบรวมรูปแบบการใช้งานเทคนิคประตูสัญญาณนาฬิกาในรูปแบบต่าง ๆ จากงานวิจัยที่ผ่านมาและนำมาทดลองประยุกต์ใช้กับระบบดิจิตอล Open-Core ที่มีอยู่แล้วเพื่อลดอัตราการใช้พลังงานลงรวมทั้งศึกษาผลการทำงานที่เกิดขึ้นในแต่ละรูปแบบเพื่อสรุปหาข้อดีข้อด้อยและลักษณะที่ควรนำเทคนิคประตูสัญญาณนาฬิกาแต่ละรูปแบบไปประยุกต์ใช้ โดยใช้โปรแกรม ISE 6.3i และ ModelSim SE 6.1 จำลองการใช้พลังงานและการทำงาน ผลการวิจัยพบว่าระบบดิจิตอลที่นำเทคนิคประตูสัญญาณนาฬิกาไปประยุกต์ใช้สามารถลดอัตราการใช้พลังงานได้จริงโดยไม่มีผลกระทบต่อประสิทธิภาพการทำงานหากใช้รูปแบบวงจรประตูสัญญาณนาฬิกาที่เหมาะสม

218519

Clock Signal Network is considered as one of the largest networks in the Digital Synchronous System. It also has the highest frequency in signal level transitions which drives the main capacitors of the whole system. Because of this, it can be said that clock system is the biggest source of dynamic power consumption. Therefore, many people are looking for approaches to reduce the power consumption. Clock Gating is one of the most popular techniques. Generally, in a synchronous system, clock signal network is utilized to conduct the pace of all parts in the system. The clock gating, for some periods of time, will shut off the unnecessary signals which are not needed. The outcome is reduction in dynamic power consumption without causing any effect on the performance of the system.

This research gathers a number of patterns of the clock gating technique from various previous works. Then these techniques are applied to reduce power consumption of existing open-core digital systems. This study also includes results, advantages and disadvantages of each pattern of clock gating techniques. Xilinx ISE 6.3i and Modelsim SE6.1 Programs are used to model and simulate the system operation and power consumption. The result shows that digital system that applies clock gating signal can reduce power consumption without causing any impacts on the system performance when applying the appropriate patterns.