233877

บทคัดย่อ

งานวิจัยนี้เป็นการประยุกต์ใช้วิธีการ DMAIC ปรับปรุงกระบวนการประกอบอุปกรณ์สารกึ่งตัวนำสำหรับเครื่องจักร Mounting สำหรับบริษัทที่ศึกษาเป็นโรงงานประกอบอุปกรณ์สารกึ่งตัวนำประเภททำงานฟังก์ชันเดียว (Discrete) จุดมุ่งหมายในการทำวิจัยครั้งนี้เพื่อที่จะลดจำนวนชิ้นงานเสียและทำให้ Yield เพิ่มขึ้น สำหรับบรรจุภัณฑ์ TO-3P(N) ในช่วงปี 2007B (เดือนตุลาคม 2007 ถึงเดือนมีนาคม 2008) จาก Pareto Chart แสดงของเสียที่พบในขบวนการประกอบอุปกรณ์สารกึ่งตัวนำที่ Mounting process มีจำนวนชิ้นงานเสียมากที่สุดถึง 0.54% สำหรับการระบุปัญหา (Define Phase) พบว่าปัญหาช่องว่างใต้แผ่นลายวงจร (DVDS(0) + DVDS(1)) ก่อให้เกิดของเสียมากที่สุดถึง 0.13% เนื่องจากปัญหาช่องว่างใต้แผ่นลายวงจรที่ทำให้เกิด ปัญหาการระบายความร้อนไม่ทันส่งผลให้แผ่นลายวงจรไหม้ จากนั้นเป็นขั้นตอนการวัด (Measure Phase) จากผังการไหลของกระบวนการ (Flow chart diagram) พบว่ากระบวนการผันแปรของกระบวนการที่เพิ่มมูลค่า (Value-added) คือ กระบวนการนำแผ่นตะกั่วไปวางบนแผ่นทองแดงขึ้นรูป (Solder perform process) และ กระบวนการนำแผ่นลายวงจรมาวางบนแผ่นทองแดงขึ้นรูป (Die bonding process) ต่อจากนั้นเป็นขั้นตอนการวิเคราะห์ (Analyze Phase) ซึ่งเป็นขั้นตอนของการทดสอบสมมุติฐาน (Hypothesis Testing) เพื่อตัดสินใจในการหาตัวแปรของปัจจัยป้อนเข้าของกระบวนการ (KPIVs) ที่แท้จริง ที่มีผลต่อตัวแปรของผลที่ได้จากกระบวนการ (KPOVs) ต่อจากนั้นเป็นการออกแบบปรับปรุงกระบวนการ (Improve Phase) โดยจะนำผลของตัวแปรของปัจจัยป้อนเข้าของกระบวนการ (KPIVs) มาออกแบบทดลองทางสถิติ DOE (Design of Experiment) เพื่อที่จะสร้างสมการทางคณิตศาสตร์ (Mathematical model) เพื่อใช้ในการปรับปรุงของเสีย ซึ่งผลที่ได้จากการคำนวณคือ 0.0741% ลดลงจากเป้าหมายที่ตั้งไว้คือ 0.08% เท่ากับ 0.0059% เมื่อทำตามเงื่อนไขที่ได้กำหนดไว้คือ แกนของ Die bond มีตลับลูกลื่น (Ball baring), เวลาการขยี้เป็น 0.5s และความเร็วของการขยี้เป็น 10m/s สำหรับการควบคุมกระบวนการ (Control Phase) หลังจากการเฝ้าติดตามผล พบว่าในเดือนตุลาคม 2008 ถึงเดือนกุมภาพันธ์ 2009 อัตราส่วนของเสีย (Defect rate) อยู่ในช่วงของ 0.0738% - 0.0767% ดังนั้นการทดลองนี้สามารถควบคุมจำนวนชิ้นงานเสียเนื่องจากปัญหาช่องว่างใต้แผ่นลายวงจร (DVDS(0) + DVDS(1)) เป็นไปตามเป้าหมายที่กำหนดไว้

Abstract

This research applies the DMAIC methodology to electronics devices assembly process at the mounting machine. The studied factory mainly produces discrete semiconductor equipments. The aim of this research is to reduce cost and increase Yield of TO-3P(N) Package. The data from 2008B period (October 2007 to March 2008) is used to create the Pareto chart and the result shows that the Mounting process has the highest defect rate at 0.54%. In the define phase, we identify the void under the pallet (DVDS(0)+ DVDS(1)) as our main problem with 0.13% defect rate. This void prevents the heat to transfer quickly enough and results in the pallet burn. In the measure phase, we apply flow chart diagram to detect the value-added processes which are solder preform and die bonding processes. In the analyze phase, we perform a hypothesis testing to figure out which key process input variables (KPIVs) actually contribute to key process output variables (KPOVs). In the improve phase, we use the obtained KPIV to perform a design of experiment (DOE) to achieve a mathematical model equation which can help alleviate the defects from DVDS(0)+ DVDS(1) problem. The defect rate is lower to 0.0741% which reduces from the initial target of 0.08% by 0.0059% by setting die bond type to ball baring, scrub time to 0.5 second and scrub speed to 10 m/s. In the control phase, we monitor the results from October 2008 to February 2009 and the defect rate varies between 0.0738% and 0.0767%. These results confirm that we can control the DVDS(0)+ DVDS(1) problem and accomplish the defect target rate.